



半導体ニュース No.N 7958 とさしかえてください。

## LC898094 — CMOS LSI CD-R/RWエンコーダ/デコーダLSI

LC898094は、固有技術のBURN-Proof<sup>®</sup>技術を搭載したCD-R/RWエンコーダ/デコーダLSIである。

### 機能

- CD-ROM Encode/Decode機能
- CD Encode/Decode機能
- Pit & WobbleCLV/CAV-servo機能
- SRAM I/F対応
- BURN-Proof<sup>TM\*1</sup>
- SUB-CODE Encode/Decode機能
- ATIP-Demodulator/ATIP-Record機能
- Write Strategy機能(CD-R/RW)
- CAV記録対応

### 特長

- CD-ROM DataへのECC,EDCの訂正/付加
- SUB-CODE DataのEncode/Decode
- Digital-ServoによるServo制御
- ATIP-dataによるCLV/CAV Servo制御
- ATIP-Decode機能およびCRC-Check機能
- PCA用のRandom-EFMを出力可能
- 高精度Write Strategy信号出力可能(CD-R 40x,CD-RW 12x)
- MicrocontrollerからLC898094を通してBuffer-RAMへAccess可能
- Decode 48倍速/Encode 40倍速対応 使用周波数:33.8688MHz
- Buffer-RAMの中のCDmain-channel,C2flagの領域をUserが自由に設定可能
- Multi Block転送機能内蔵(複数のBlockを1度にHostへ自動的に送る機能)
- 一括転送機能内蔵(CDmain-channel,C2flag等を1度に送る機能)
- SRAM対応(TC55V200FT/TR-10等×2個まで)
- BURN-Proof<sup>TM\*1</sup>対応

\*1 BURN-Proofは三洋電機株式会社の商標である。

- 本書記載の製品は、極めて高度の信頼性を要する用途(生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途)に対応する仕様にはなっておりません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。
- 本書記載の規格値(最大定格、動作条件範囲等)を瞬時たりとも越えて使用し、その結果発生した機器の欠陥について、弊社は責任を負いません。

# LC898094

絶対最大定格/ $V_{SS}=0V$

項目	記号	条件	定格値	unit
電源電圧	$V_{DD3}$ max	Ta 25	- 0.3 ~ + 4.6	V
	$V_{DD2}$ max	Ta 25	- 0.3 ~ + 3.6	V
入出力電圧	$V_{I3}, V_{O3}$	Ta 25	- 0.3 ~ $V_{DD3} + 0.3$	V
	$V_{I2}, V_{O2}$	Ta 25	- 0.3 ~ $V_{DD2} + 0.3$	V
	$V_{I3}, V_{O3}$	Ta 25 ,5V耐圧端子	- 0.3 ~ + 5.8	V
動作周囲温度	Topr		- 30 ~ + 70	
保存周囲温度	Tstg		- 55 ~ + 125	
許容消費電力	Pd max	Ta 70	750	mW
半田耐熱(端子のみ)		10秒	260	

許容動作範囲/ $T_a = -30 \sim +70$  ,  $V_{SS}=0V$

項目	記号	条件	min	typ	max	unit
[I <sub>O</sub> Cell 2.5V電源]						
電源電圧	$V_{DD2}$		2.3	2.5	2.7	V
入力電圧範囲	$V_{IN}$		0		$V_{DD2}$	V
[I <sub>O</sub> Cell 3.3V電源]						
電源電圧	$V_{DD3}$		3.0	3.3	3.6	V
入力電圧範囲	$V_{IN}$		0		$V_{DD3}$	V

電気的特性

直流特性: 入出力レベル/ $T_a = -30 \sim +70$  ,  $V_{SS}=0V, V_{DD}=3.0 \sim 3.6V$

項目	記号	条件	min	typ	max	unit	適応ピン
入力高レベル電圧	$V_{IH}$	CMOS対応	0.7 $V_{DD}$			V	(1)(3)(4)(6)
入力低レベル電圧	$V_{IL}$				0.2 $V_{DD}$	V	
入力高レベル電圧	$V_{IH}$	CMOS対応 シュミット	0.75 $V_{DD}$			V	(2)(5)(12)
入力低レベル電圧	$V_{IL}$				0.15 $V_{DD}$	V	
出力高レベル電圧	$V_{OH}$	$I_{OH} = -12mA$	$V_{DD3} - 0.8$			V	(11)
		$I_{OH} = -8mA$	$V_{DD3} - 0.8$			V	(4)(6)(8) (14)(15)
		$I_{OH} = -4mA$	$V_{DD3} - 0.8$			V	(5)(18)(10) (13)(16)(17)
		$I_{OH} = -2mA$	$V_{DD3} - 0.8$			V	(9)
		$I_{OH} = -1mA$	$V_{DD3} - 0.8$			V	(19)
出力低レベル電圧	$V_{OL}$	$I_{OL} = 12mA$			0.4	V	(5)(11)(17)
		$I_{OL} = 8mA$			0.4	V	(4)(6)(8) (14)(15)
		$I_{OL} = 4mA$			0.4	V	(10)(13)(16)
		$I_{OL} = 2mA$			0.4	V	(7)(9)
		$I_{OL} = 1mA$			0.4	V	(19)
入力リーク電流	$I_{IL}$	$V_I = V_{SS}, V_{DD3}$	- 10		+ 10	$\mu A$	(1)(2)(3)(12)
出力リーク電流	$I_{OZ}$	HiZ出力時	- 10		+ 10	$\mu A$	(4)(5)(8)(14) (16)(17)(18)

次ページへ続く。

## LC898094

前ページより続く。

項目	記号	条件	min	typ	max	unit	適応ピン
プルアップ抵抗	RUP		7	10	13	kΩ	(5)(18)
			50	100	200	kΩ	(6)
			25	50	100	kΩ	(7)
プルダウン抵抗	RDN		50	100	200	kΩ	(1)
			6	10	16	kΩ	(17)
アナログ出力電圧	VANO	VREF=2.1V時	10*VDD3/33		32*VDD3/33	V	(20)
アナログ入力電圧	VANI		10*VDD3/33		32*VDD3/33	V	(21)
アナログ出力電圧	VANO	VREF=1.65V時	VDD3/6		5*VDD3/6	V	(20)
アナログ入力電圧	VANI		VDD3/6		5*VDD3/6	V	(21)

- (1) FG
- (2) ZHRST, ZDMACK
- (3) ZRESET, SUA15-SUA0, ZCS, ZWR, ZRD, TEST0, DEF, HFL, TES, WOBBLE
- (4) BIDATA, BICLK, A16, A15, TEST4, ATIPSYNC, ACRCNG
- (5) D15-D8, port15-port0, CE1
- (6) D7-D0, DQ15-DQ0
- (7) ZSWAIT, ZINT0, ZINT1
- (8) CE, R/W, A14-A0, UB, LB
- (9) LDON
- (10) LOCK, EFMG
- (11) SSP2, SSP1, RAPC, WAPC, H11T0, LDH, ATEST3, WDAT, NWDAT, ATEST1, PCK2
- (12) WRITE
- (13) SHOCK
- (14) EFMO
- (15) SUBSYNC
- (16) PWM0, DSLB
- (17) DMARQ
- (18) ZDASP, ZPDIAG, CE2
- (19) PDS1, PDS2, PDS3
- (20) SDA0 ~ SDA2, TDO, FDO, SLDO, SPDO
- (21) SADO ~ SAD2, RREC, FE, TE, VREF

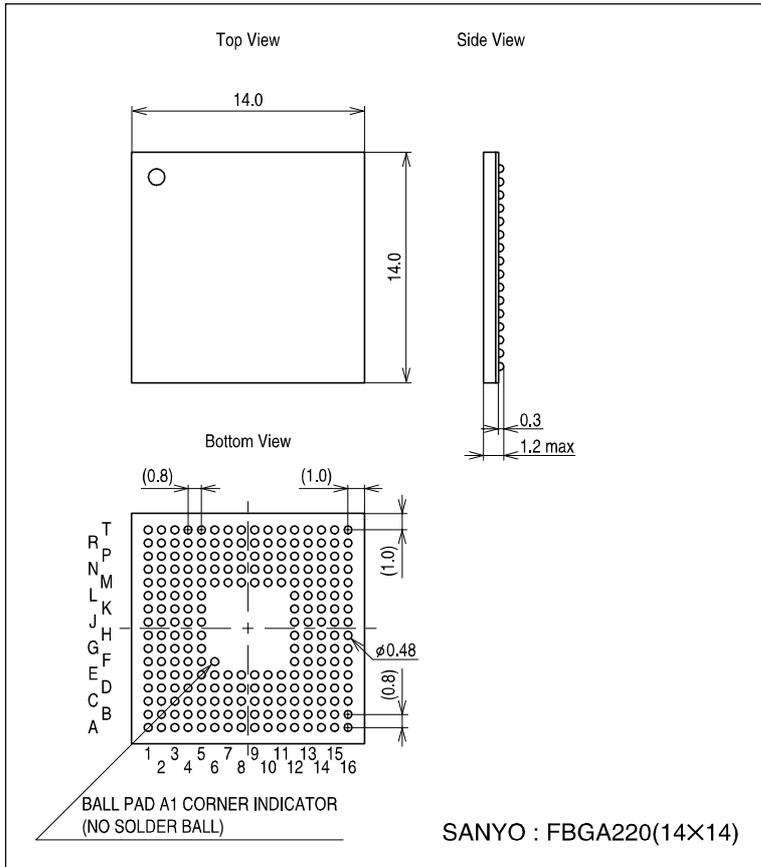
(番号) : 入力 5V 耐圧あり

# LC898094

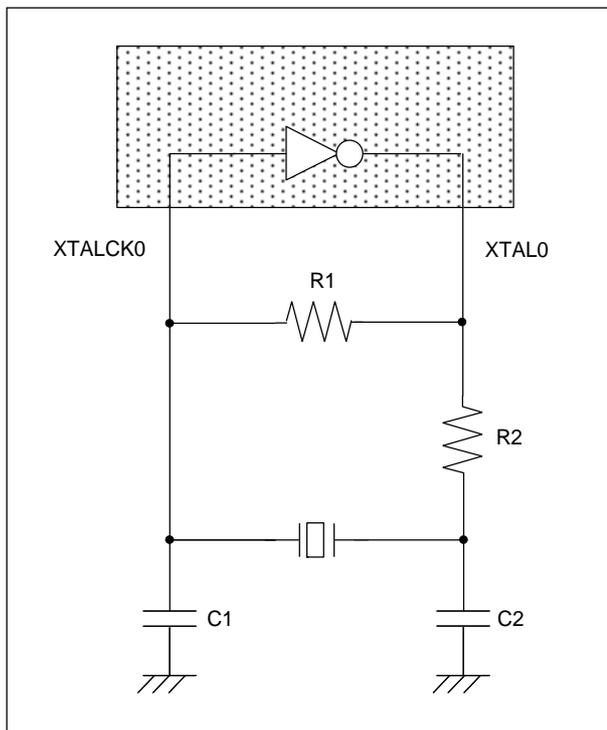
## 外形図

unit:mm

3299



## 発振回路の推奨例



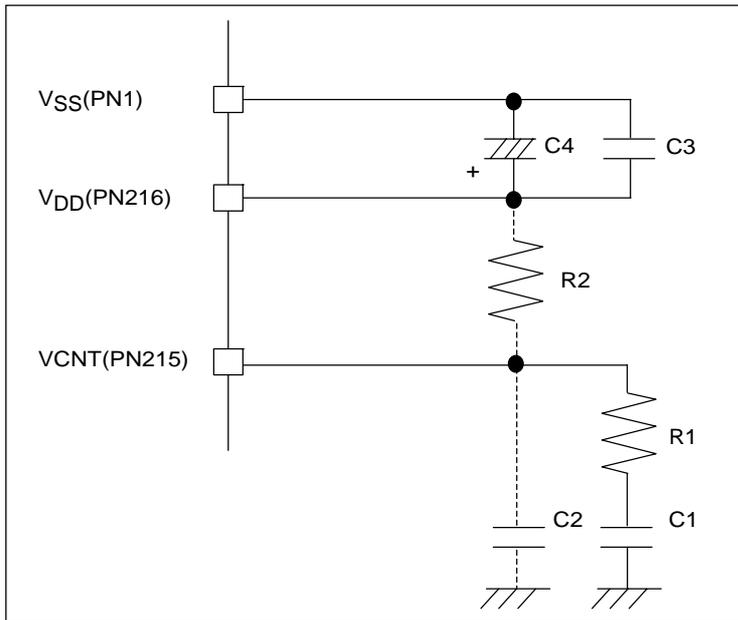
発振周波数=33.8688MHz

外付け RC は発振子メーカーに問い合わせること。

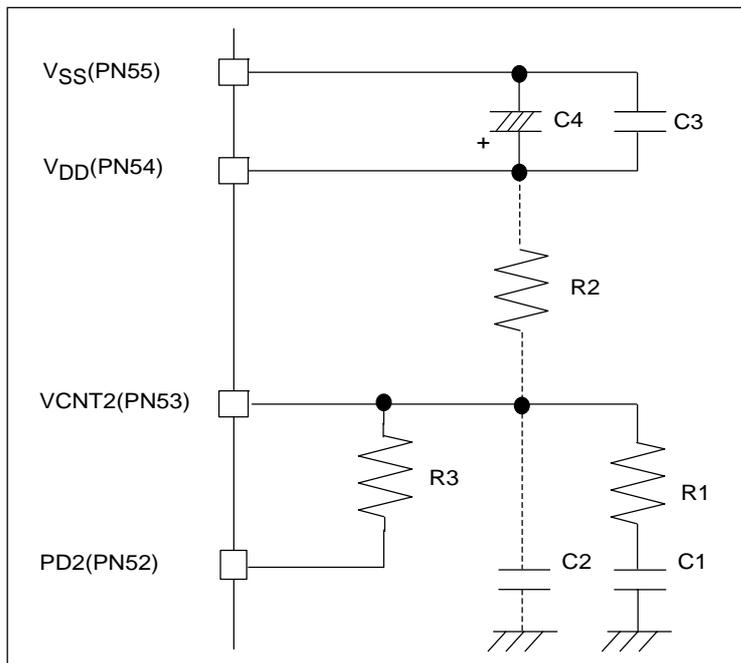
# LC898094

## PLL の外付け回路

- ・基準クロック生成 PLL



Symbol	Value(Typ)	unit
R1	100 ~ 150	$\Omega$
R2	*k	$\Omega$
C1	0.22 $\mu$	F
C2	* $\mu$	F
C3	0.1 $\mu$	F
C4	33 $\mu$	F



Symbol	Value(Typ)	unit
R1	150	$\Omega$
R2	*k	$\Omega$
R3	100k ~ 1M	$\Omega$
C1	0.1 $\mu$ <sup>*1</sup>	F
C2	* $\mu$	F
C3	0.1 $\mu$	F
C4	33 $\mu$	F

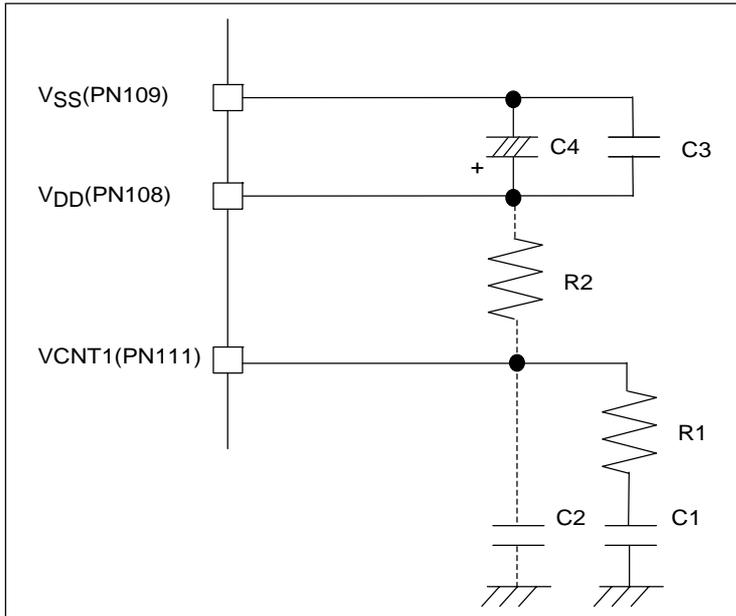
\*1 : CAV-Write を行う場合は 1 $\mu$ F(積層セラミック)にすること。

R2, C2 は評価に応じて付加する場合があるので配線パターンの用意をすること。

VDD, VSS はロジック系電源と完全に独立してロジック系電源の変動に左右されないようにすること。

# LC898094

## ・Write Strategy 部

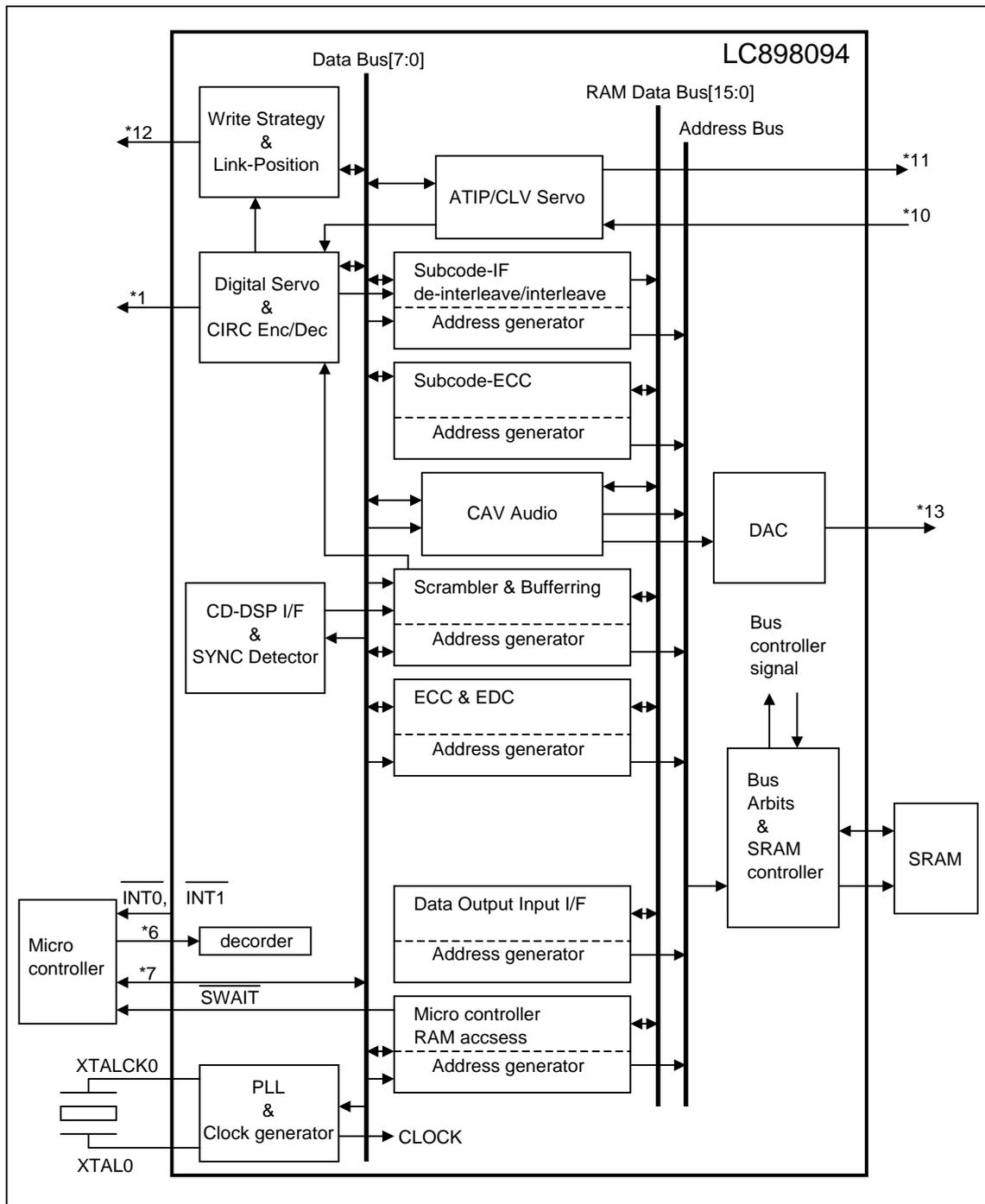


Symbol	Value(Typ)	unit
R1	150	$\Omega$
R2	*k	$\Omega$
C1	0.1 $\mu$	F
C2	* $\mu$	F
C3	0.1 $\mu$	F
C4	33 $\mu$	F

R2, C2 は評価に応じて付加する場合がありますので配線パターンの用意をすること。  
アナログ VDD, VSS はロジック系電源と完全に独立してロジック系電源の変動に左右されないようにすること。

# LC898094

## ブロック図



- \*1 DSLB ~ SUBSYNC, SHOCK ~ PCK2
- \*6 RD, WR, CS, SUA0 ~ 15
- \*7 D0 ~ D7
- \*10 WOBBLE
- \*11 ATIPSYNC, B IDATA, B ICLK
- \*12 WRITE, SSP2/1, RAPC, WAPC, H11T0, LDH, ATEST3, ATEST1, WDAT, NWDAT, EFMG
- \*13 LOUT, ROUT

# LC898094

## 端子説明

端子番号	端子名	TYPE	端子説明
B2	VSS	P	アナログ系 VSS(PLL 専用 2)
A2	VDD2	P	デジタル系 VDD
C2	CLK	B	未使用(オープン)
B1	OE	B	SRAM 用端子
C1	R/W	B	SRAM 用端子
D3	A12	B	SRAM 用端子
D2	A13	B	SRAM 用端子
D1	A14	B	SRAM 用端子
E4	UB	B	SRAM 用端子
E3	LB	B	SRAM 用端子
E2	A0	B	SRAM 用端子
E1	A1	B	SRAM 用端子
F5	A2	B	SRAM 用端子
F4	A3	B	SRAM 用端子
F3	A4	B	SRAM 用端子
F2	A5	B	SRAM 用端子
F1	A6	B	SRAM 用端子
G5	VDD3	P	デジタル系 VDD
G4	VSS	P	デジタル系 VSS
G3	APUEN	I(5)	DQ 端子の PULL-UP 制御(H : PULL-UP )
G2	A7	B	SRAM 用端子
G1	A8	B	SRAM 用端子
H5	A9	B	SRAM 用端子
H4	A10	B	SRAM 用端子
H3	A11	B	SRAM 用端子
H2	DQ0	B(5)	SRAM 用端子
H1	DQ1	B(5)	SRAM 用端子
J5	DQ2	B(5)	SRAM 用端子
J4	DQ3	B(5)	SRAM 用端子
J3	DQ4	B(5)	SRAM 用端子
J2	DQ5	B(5)	SRAM 用端子
J1	DQ6	B(5)	SRAM 用端子
K5	DQ7	B(5)	SRAM 用端子
K4	DQ8	B(5)	SRAM 用端子
K2	DQ9	B(5)	SRAM 用端子
K1	VDD3	P	デジタル系 VDD
K3	VSS	P	デジタル系 VSS
L4	DQ10	B(5)	SRAM 用端子
L3	DQ11	B(5)	SRAM 用端子
L2	DQ12	B(5)	SRAM 用端子
L1	DQ13	B(5)	SRAM 用端子
L5	DQ14	B(5)	SRAM 用端子

次ページへ続く。

## LC898094

前ページより続く。

端子番号	端子名	TYPE	端子説明
M3	DQ15	B(5)	SRAM 用端子
M1	VDD2	P	デジタル系 VDD
M2	SUA0	I(5)	マイコン IF
M4	SUA1	I(5)	マイコン IF
M5	SUA2	I(5)	マイコン IF
N1	SUA3	I(5)	マイコン IF
N2	SUA4	I(5)	マイコン IF
N3	SUA5	I(5)	マイコン IF
P1	VSS	P	デジタル系 VSS
N4	PD2	O	PLL 用端子
P2	VCNT2	O	PLL 用端子
P3	VDD2	P	アナログ系 VDD(PLL 専用 1)
R1	VSS	P	アナログ系 VSS(PLL 専用 1)
R3	VDD3	P	デジタル系 VDD
R2	SUA6	I(5)	マイコン IF
T2	SUA7	I(5)	マイコン IF
T3	SUA8	I(5)	マイコン IF
P4	SUA9	I(5)	マイコン IF
R4	SUA10	I(5)	マイコン IF
T4	SUA11	I(5)	マイコン IF
N5	SUA12	I(5)	マイコン IF
P5	SUA13	I(5)	マイコン IF
R5	SUA14	I(5)	マイコン IF
T5	SUA15	I(5)	マイコン IF
M6	BIDATA	B(5)	SUA16 として使われる。(デフォルトは入力端子である)
N6	BICLK	B(5)	GND に接続すること。(デフォルトは入力端子である)
P6	ZSWAIT	O	マイコン IF
R6	ZINT0	O	マイコン IF
T6	ZINT1	O	マイコン IF
M7	VDD2	P	デジタル系 VDD
N7	VSS	P	デジタル系 VSS
P7	ZCS	I(5)	マイコン IF
R7	ZWR	I(5)	マイコン IF
T7	ZRD	(5)	マイコン IF
M8	D0	B(5)	マイコン IF
N8	D1	B(5)	マイコン IF
P8	D2	B(5)	マイコン IF
R8	D3	B(5)	マイコン IF
T8	D4	B(5)	マイコン IF
M9	D5	B(5)	マイコン IF
N9	D6	B(5)	マイコン IF
P9	D7	B(5)	マイコン IF

次ページへ続く。

## LC898094

前ページより続く。

端子番号	端子名	TYPE	端子説明
R9	LOCK	0	PLL Lock 状態出力
T9	SHOCK	0	Shock 検出信号
M10	ZRESET	I(5)	リセット端子
N10	A15	B(5)	SRAM 用端子(PULL-down 抵抗を付加すること)
T10	(XLAT)D8	B(5)	RF-Amp との Serial 通信用端子
R10	VDD2		デジタル系 VDD
P10	VSS		デジタル系 VSS
R11	(SDATA)D9	B(5)	RF-Amp との Serial 通信用端子
T11	(SCLK)D10	B(5)	RF-Amp との Serial 通信用端子
P11	LDON	0	Laser Control 端子
N11	EFMG	0	Write Gate 信号
M11	WRITE	I	Write Strategy 信号出力制御
R12	A16	B(5)	SRAM 用端子(PULL-down 抵抗を付加すること)
T12	VDD3		デジタル系 VDD
P12	SSP2	0	ストラテジ関連
N12	SSP1	0	ストラテジ関連
M12	RAPC	0	ストラテジ関連
R13	WAPC	0	ストラテジ関連
T13	H11T0	0	ストラテジ関連
N13	LDH	0	ストラテジ関連
P13	ATEST3	0	ストラテジ関連
T14	WDAT	0	ストラテジ関連
R14	NWDAT	0	ストラテジ関連
T15	VDD2	P	アナログ系 VDD(ストラテジ専用)
R15	VSS	P	アナログ系 VSS
P14	DCN1	0	オープンにすること
P15	VCNT1	I	Write Strategy 用 VCO Control 電圧端子
R16	PCK2	0	PCK 出力
P16	DEF	I(5)	Defect 検出入力端子
N14	VDD3	P	デジタル系 VDD
N15	HFL	I(5)	ミラー検出信号入力端子
N16	TES	I(5)	Tracking Zero-cross 信号入力端子
M13	WOBBLE	I(5)	Wobble2 値化信号入力
M14	PWM0	0	VCO 用 PWM 出力
M15	ATEST1	0	モニタ端子
M16	EFM0	0	2 値化後の EFM 信号出力端子
L12	DSLb	0	SLC 用 PWM 出力
L13	VDD2	P	デジタル系 VDD
L14	VSS	P	デジタル系 VSS
L15	SLC1ST	I	EFM Slice Level 設定入力端子
L16	SLC0	0	EFM Slice Level 出力
K12	VDD2	P	アナログ系 VDD(アナログ回路専用 1)

次ページへ続く。

## LC898094

前ページより続く。

端子番号	端子名	TYPE	端子説明
K13	VSS	P	アナログ系 VSS
K14	LPF0	O	EFMIN に入力される RF 信号をバイアスする
K15	EFMIN	I	EFM 入力端子
K16	EFMIN2	I	HPF 定数変更端子
J12	FR	I	VCO 周波数設定端子
J13	PCKISTF	I	周波数比較チャージポンプ端子
J14	PCKISTP	I	位相比較チャージポンプ端子
J15	PDS1	O	EFM 再生用 PLL の Lag Read Filter 接続端子
J16	PDO	O	EFM 再生用 PLL の Lag Read Filter 接続端子
H12	VDD2	P	アナログ系 VDD(アナログ回路専用 2)
H13	VSS	P	アナログ系 VSS(アナログ回路専用 2)
H14	PDS2	O	EFM 再生用 PLL の Lag Read Filter 接続端子
H15	PDS3	O	EFM 再生用 PLL の Lag Read Filter 接続端子
H16	RPO	O	P/N バランス調整端子
G12	JITC	O	Jitter 出力
G13	SAD0	I	AD 入力
G14	SAD1	I	AD 入力
G16	VDD3	P	アナログ系 VDD(AD, DA 専用 1)
G15	VSS	P	アナログ系 VSS(AD, DA 専用 1)
F14	SAD2	I	AD 入力
F15	RREC	I	光学判定用入力端子
F16	FE	I	FE 入力端子
F13	TE	I	TE 入力端子
F12	VREF	I	VREF 入力端子
E16	SDA0	O	DA 出力
E15	SDA1	O	DA 出力
E14	SDA2	O	DA 出力
E13	TD0	O	トラッキング出力
E12	FD0	O	フォーカス出力
D16	SLD0	O	スレッド出力
D15	SPD0	O	スピンドル出力
D14	D11	B(5)	ステッピングモータ制御用 PWM 出力端子
D13	D12	B(5)	ステッピングモータ制御用 PWM 出力端子
C16	D13	B(5)	
C15	D14	B(5)	
B16	VDD3	P	デジタル系 VDD
B15	VSS		デジタル系 VSS
B14	TEST4	B(5)	テスト用端子。VSS に接続すること
A15	TEST0	B(5)	テスト用端子。VSS に接続すること
A14	D15	B(5)	
C13	DOUT	O	
B13	SUBSYNC	B(5)	SUB-CODE Sync 信号

次ページへ続く。

## LC898094

前ページより続く。

端子番号	端子名	TYPE	端子説明
A13	ATIPSYNC	B(5)	ATIPSYNC 信号
C14	ACRCNG	B(5)	ATIP-CRC 結果出力信号
D12	FG	I(5)	FG 入力端子
C12	VDD2		デジタル系 VDD
B12	ZDASP	I(5)	(オープンにすること)
A12	MD8	B(5)	マイコン IF データ端子
E11	MD9	B(5)	マイコン IF データ端子
D11	MD12	B(5)	マイコン IF データ端子
C11	MD10	B(5)	マイコン IF データ端子
B11	ZPDIAG	I(5)	(L 固定すること)
A11	MD11	B(5)	マイコン IF データ端子
E10	VDD3	P	デジタル系 VDD
D10	VSS	P	デジタル系 VSS
C10	MD13	B(5)	マイコン IF データ端子
B10	CE1	O(5)	SRAM 用端子
A10	ZDMACK	I(5)	(L 固定すること)
E9	CE2	O(5)	SRAM 用端子
D9	MD14	B(5)	マイコン IF データ端子
C9	MD15	B(5)	マイコン IF データ端子
B9	DMARQ	O(5)	(オープンにすること)
A9	port_15	B(5)	汎用 PORT
E8	port_0	B(5)	汎用 PORT
D8	port_14	B(5)	汎用 PORT
C8	port_1	B(5)	汎用 PORT
B8	port_13	B(5)	汎用 PORT
A8	port_2	B(5)	汎用 PORT
E7	port_12	B(5)	汎用 PORT
D7	port_3	B(5)	汎用 PORT
B7	port_11	B(5)	汎用 PORT
A7	VDD3	P	デジタル系 VDD
C7	VSS	P	デジタル系 VSS
C6	port_4	B(5)	汎用 PORT
B6	port_10	B(5)	汎用 PORT
A6	port_5	B(5)	汎用 PORT
D6	port_9	B(5)	汎用 PORT
E6	port_6	B(5)	汎用 PORT
E5	port_8	B(5)	汎用 PORT
A5	port_7	B(5)	汎用 PORT
B5	ZHRST	B(5)	(L 固定すること)
C5	ROUT	O	DAC 出力
D5	AVSS	P	アナログ系 VSS(AUDIO-DAC 専用 2)
A4	AVDD	P	アナログ系 VDD(AUDIO-DAC 専用 2)

次ページへ続く。

## LC898094

前ページより続く。

端子番号	端子名	TYPE	端子説明
D4	LOUT	O	DAC 出力
B4	XTALCKO	I	X-tal 発振回路入力端子(33.8688MHz)
C4	XTALO	O	X-tal 発振回路出力端子
A3	VDD3	P	デジタル系 VDD
B3	VCNT	O	VCO Control 電圧端子
C3	VDD2	P	アナログ系 VDD(PLL 専用 2)

Type

- I : 入力 PIN
- O : 出力 PIN
- B : 双方向 PIN
- P : 電源 PIN
- NC : 接続せず
- A : Analog-PIN
- (5) : 入力 5V 耐圧 3.3V 信号端子

(注)V<sub>SS</sub> も用途別に分けて記載しているが LSI 内部では低抵抗にて繋がるので各 V<sub>SS</sub> を完全に分離しないように注意すること。

(注)ライトストラテジ部は未使用時にリセットをかけておくこと。

- 本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品（機器）での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。
- 弊社は、高品質・高信頼性の製品を供給することに努めております。しかし、半導体製品はある確率で故障が生じてしまいます。この故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。
- 本書記載の製品が、外国為替及び外国貿易法に定める規制貨物（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。
- この資料の情報（掲載回路および回路定数を含む）は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。