

Układy 4096-bitowych pamięci statycznych ROM mają następujące cechy:

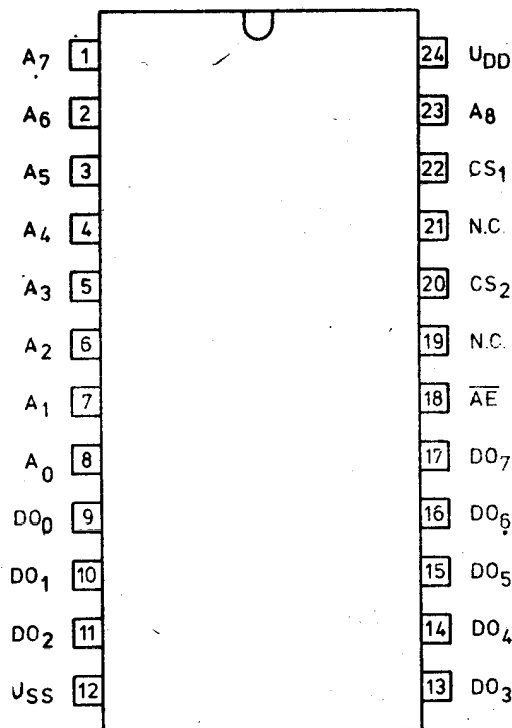
- trójstanowe wyjścia danych,
- możliwość pełnej współpracy z układami TTL,
- dwa wejścia wyboru układu  $CS_1$ ,  $CS_2$  pozwalające na współpracę do 4 pamięci w jednym systemie,
- wejście zezwolenia odczytu adresu umożliwia pracę synchroniczną.

W wersjach standardowych i na zamówienie zawartość matrycy pamięci i kod sygnałów  $CS_1$  i  $CS_2$  programowane są maską przez producenta i oznaczane dwuliterowym kodem /w miejscu liter XX/

**MCY 7304NXX**  
Pamięć statyczna ROM  
8 x 512 bitów

**LSI NMOS**  
Bramka krzemowa

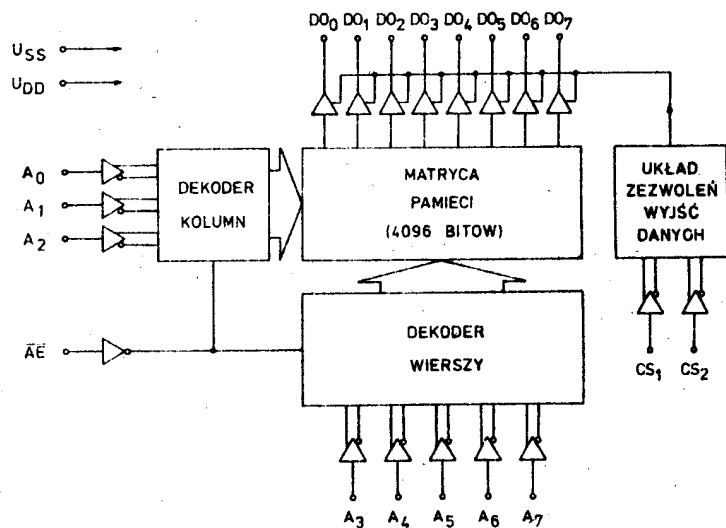
**Obudowa CE 73**



**Układ wyprowadzeń**

**Opis wyprowadzeń**

- $U_{SS}$ ,  $U_{DD}$  - wejścia zasilające
- $A_0 \div A_8$  - wejścia adresowe
- $CS_1$ ,  $CS_2$  - wejścia wyboru układu
- $\overline{AE}$  - wejście zezwolenia odczytu adresu
- $DO_0 \div DO_7$  - wyjścia danych
- N.C. - wyprowadzenia niewykorzystane



**Blokowy schemat wewnętrzny**

## Parametry dopuszczalne

$/U_{SS} = 0 \text{ V}/$

Oznaczenie	Nazwa	Jedn.	Wartość	
			min	max
$U_{DD}$	Napięcie zasilania	V	-0,5	7
$U_W$	Napięcie na pozostałych wyprowadzeniach	V	-0,5	7
$P_D$	Moc rozpraszana	W		1
$t_{amb}$	Temperatura otoczenia w czasie pracy	$^{\circ}\text{C}$	0	+70
$t_{stg}$	Temperatura przechowywania	$^{\circ}\text{C}$	-40	+125

## Parametry charakterystyczne statyczne

$/U_{SS} = 0 \text{ V}, t_{amb} = +25^{\circ}\text{C}/$

Oznaczenie	Nazwa	Jedn.	Wartość		Warunki pomiaru
			min	max	
$U_{DD}$	Napięcie zasilania	V	4,75	5,25	
$U_{IH}$	Napięcie wejściowe w stanie wysokim	V	2		
$U_{IL}$	Napięcie wejściowe w stanie niskim	V		0,8	
$I_{II}$	Prąd upływności wejść	$\mu\text{A}$		10	$U_I = 0 - 5,25 \text{ V}$ wejścia razem
$U_{OH}$	Napięcie wyjściowe w stanie wysokim	V	2,4		$I_{OH} = -200 \mu\text{A}$
$U_{OL}$	Napięcie wyjściowe w stanie niskim	V		0,4	$I_{OL} = 2,4 \text{ mA}$
$I_{DD}$	Prąd zasilania	mA		50	$U_I = U_{DD} = 5,25 \text{ V}$ wyjścia otwarte

Parametry charakterystyczne pojemności / $U_{SS} = 0\text{ V}$ ;  $t_{amb} = +25^{\circ}\text{C}$ /

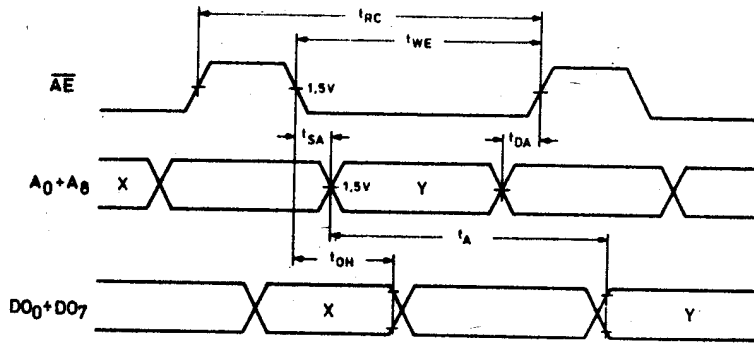
Oznaczenie	Nazwa	Jedn.	Wartość	Warunki pomiaru
			max	
$C_I$	Pojemność wejściowa	pF	6	f = 1 MHz
$C_O$	Pojemność wyjściowa	pF	10	

Parametry charakterystyczne dynamiczne

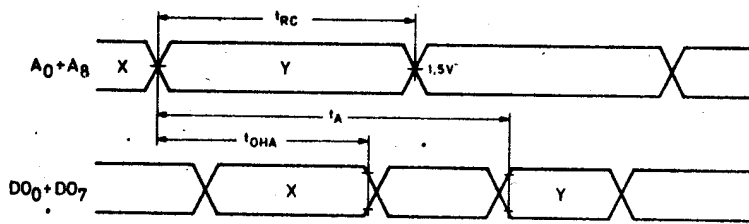
/obciążenie: 1,5 bramki TTL i pojemność 100 pF/

Oznaczenie	Nazwa	Jedn.	Wartość	
			min	max
<b>Praca synchroniczna</b>				
$t_{RC}$	Czas cyklu odczytu	ns	700	
$t_A$	Czas dostępu względem adresu	ns		500
$t_{WE}$	Czas trwania impulsu zezwolenia odczytu adresu	ns	500	
$t_{SA}$	Czas ustalenia adresu	ns	0	50
$t_{DA}$	Czas zanikania adresu	ns		20
$t_{OH}$	Czas przetrzymywania danych na wyjściach po zezwoleniu odczytu adresu	ns	20	
<b>Praca asynchroniczna</b>				
$t_{RC}$	Czas cyklu odczytu	ns	500	
$t_A$	Czas dostępu względem adresu	ns		500
$t_{OHA}$	Czas przetrzymywania danych na wyjściach po zmianie adresu	ns	20	
<b>Praca synchroniczna i asynchroniczna</b>				
$t_{CO}$	Czas dostępu względem zezwolenia wyjścia danych	ns		300
$t_{OTD}$	Czas opóźnienia stanu nieaktywnego wyjść względem zakazu wyjścia danych	ns		300

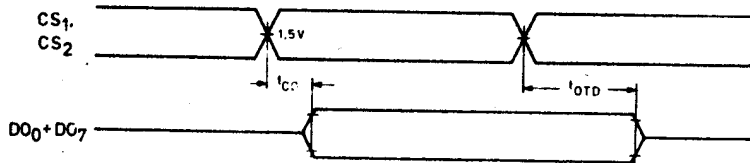
**Definicje parametrów dynamicznych**



**PRACA SYNCHRONICZNA**



**PRACA ASYNCHRONICZNA**



**PRACA SYNCHRONICZNA I ASYNCHRONICZNA**

Układ MCY 7304NXX jest wykonywany w czterech wersjach /MCY 7304NAA, MCY 7304NAB, MCY 7304NAC, MCY 7304NAD/ odpowiadających generatorom znaków alfanumerycznych.

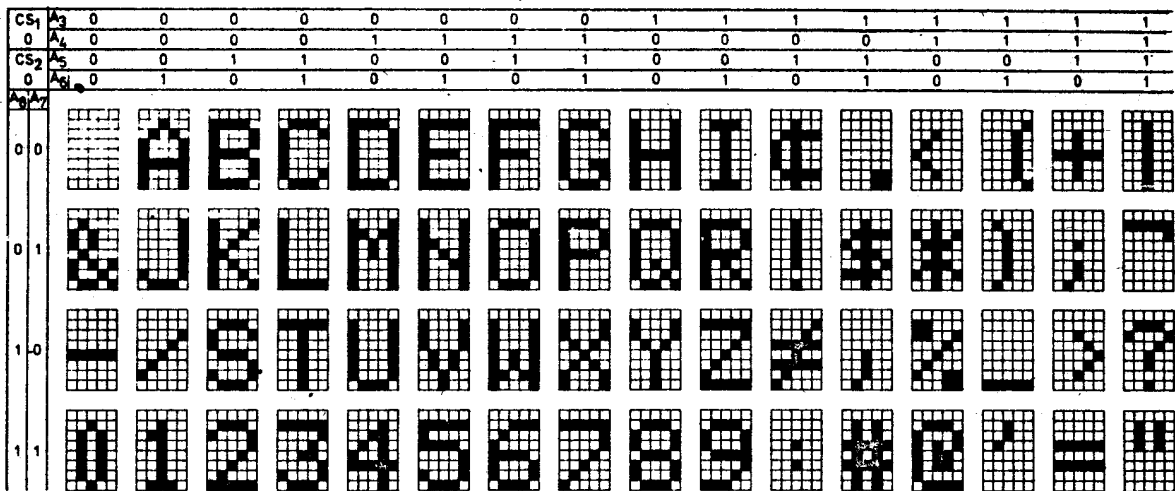
Znaki rozmieszczone są w matrycy 5x7 w układzie odczytu poziomego /wyprowadzenie wiersza, typowe zastosowanie – monitory ekranowe/.

Sześć linii adresowych /A3 ÷ A0/ określa kod znaku, trzy najniższe /A0 + A2/ numer wyświetlanego wiersza.

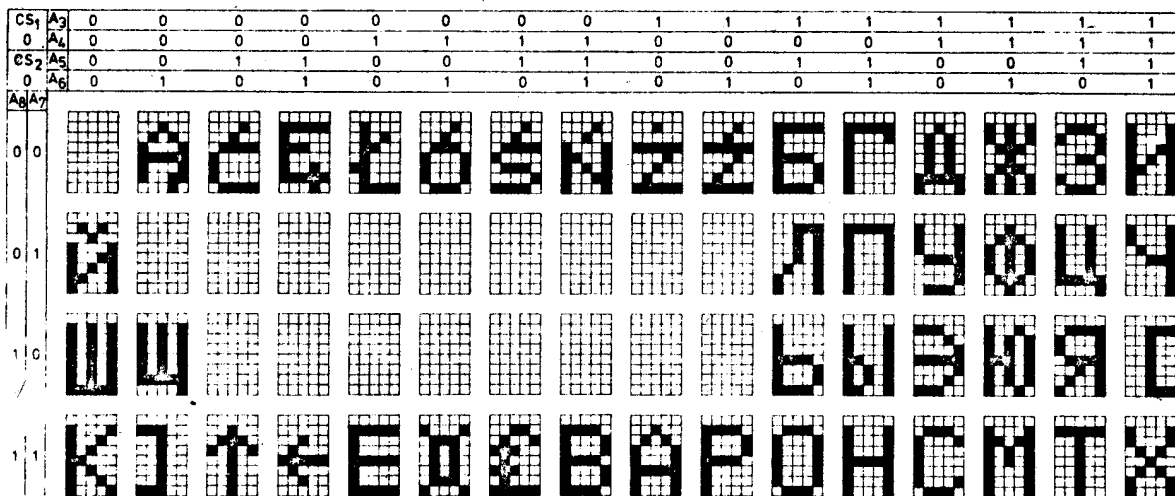
A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	DO <sub>4</sub>	DO <sub>3</sub>	DO <sub>2</sub>	DO <sub>1</sub>	DO <sub>0</sub>
0	0	0					
0	0	1					
0	1	0					
0	1	1					
1	0	0					
1	0	1					
1	1	0					
1	1	1					

Rysunek przedstawiający zawartość pamięci MCY 7304NAA

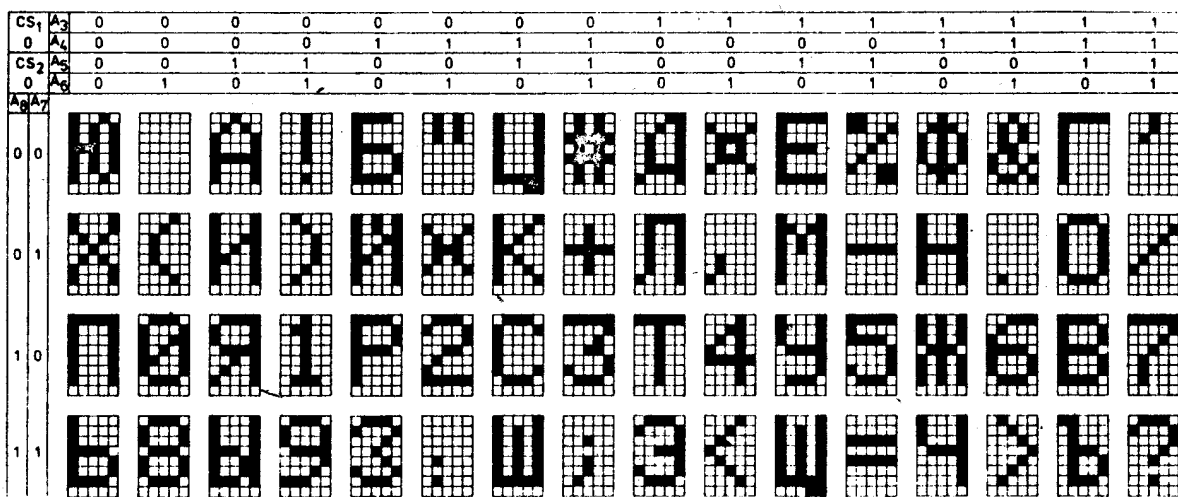
CS <sub>1</sub>	A <sub>3</sub>	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
0	A <sub>2</sub>	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
CS <sub>2</sub>	A <sub>3</sub>	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
0	A <sub>2</sub>	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1



Rysunek przedstawiający zawartość pamięci MCY 7304NAB



Rysunek przedstawiający zawartość pamięci MCY 7304NAC



Rysunek przedstawiający zawartość pamięci MCY 7304NAD