

SANYO**三洋半導体ニュース**

No. 2412A

1211

半導体ニュースNo.2412とさしかえてください。

LC6568D, LC6568H

CMOS LSI
VFD・LEDドライバ/コンパレータ入力つき
— 8KバイトROM内蔵
4ビット1チップマイクロコンピュータ

LC6568D/Hは8KバイトROM、1KビットRAMを内蔵した64ピンのCMOS 4ビット1チップマイクロコンピュータである。I/Oポートとして28本の入出力共通ポート、21本の出力ポート、および8本の入力ポートの合計57本の端子を持っている。特定の端子については、割り込み機能、4ビット/8ビットシリアル入出力機能、方形波出力機能が設けられている。28本の入出力共通ポートは全て、最大15V耐圧15mA駆動のドライバを内蔵しており、21本の出力ポートは、Pチャンネルオープンドレイン形式の高耐圧出力ドライバを内蔵している。高耐圧出力ドライバは、けい光表示管駆動用として使える他、汎用の大電流ドライバとしても利用できるため、けい光表示のない応用製品にも高範囲に使用できる。CPUの基本アーキテクチャ、および命令セットは当社のLC6500シリーズと共通であり、スタックレベル等が強化されている他、スタンバイ機能もより使い易くなっている。

特長・81種のインストラクション(LC6500シリーズと共通)。

- 8192バイトROM, 1024ビットRAM内蔵。
- 命令サイクルタイム: 2.77 μ s(Dバージョン, $V_{DD}=4\sim 6V$)
0.92 μ s(Hバージョン, $V_{DD}=4.5\sim 6V$)
- シリアル入出力インタフェース $\times 1$ (4ビット/8ビットプログラム切り替え)。
- I/Oポート: 合計57本。
 - 入力ポート 8本。
 - 入出力ポート 28本: 15V max, 15mA max, LEDドライブ可能, プルアップ抵抗オプション有。
 - 出力ポート 21本: $V_{DD}-45V$ 耐圧, けい光表示管ドライブ, 汎用出力兼用, プルダウン抵抗オプション有。
 - リセット時の出力レベル: ポートC, Dにおいて、リセット時の出力(HまたはL)をポート単位でオプション指定可能。
- 割り込み機能
 - タイマ割り込み: 1本。
 - INT0~3端子またはシリアルI/O割り込み: 1本。
- スタックレベル: 8レベル(割り込みと共用)。
- タイマ: 4ビットプリスケアラ+8ビットプログラマブルタイマ。
- 方形波(サイクルタイム $\times 64$ 倍周期)の連続出力機能有。
- 発振回路オプション
 - 回路形式オプション: セラミック発振, CR発振, 外部クロック(384kHz~4.33MHz)。
 - 分周オプション: $1/1$, $1/3$, $1/4$
- スタンバイ機能: HALT命令によるスタンバイ機能。セラミック発振時の発振不安定時間吸収機能有。
- 電源電圧: 4~6V(Dバージョン)
4.5~6V(Hバージョン)
- パッケージ: DIP64シュリンク, QIP64A
- 評価用LSI: LC6595(エバチップ)+EVA800-TB6568(エバチップボード), LC65PG68(ピギーバック)
- 4チャンネルコンパレータ入力機能付。
- 4チャンネル外部割込入力端子付(但しベクタは1ケ)。

※これらの仕様は、改良などのため変更することがあります。

〒370-05 群馬県大泉町坂田180

三洋電機株式会社 半導体事業本部

開発サポート・ツール

LC6568D/Hの開発サポート・ツールとして次のものが用意されている。

1. ドキュメントサポート
 - ①「LC6568ユーザズマニュアル」
 - ②「EVA800-LC6568開発ツールマニュアル」
2. 開発ツール
 - (1) プログラム開発用
 - ① MS-DOS(注)ホストコンピュータシステムとクロスアセンブラ。
 - i. ホストコントロールプログラム。
 - ii. クロスアセンブラ LC65S.EXE。
 - (2) プログラム評価用
 - ① エバリュエーションチップ : LC6595
 - ② ピギーバックマイコン : LC65PG68
 - ③ エミュレータ : EVA-800またはEVA-850とエバチップボード

・ホストコントロールプログラム
・クロスアセンブラ LC65S.EXE

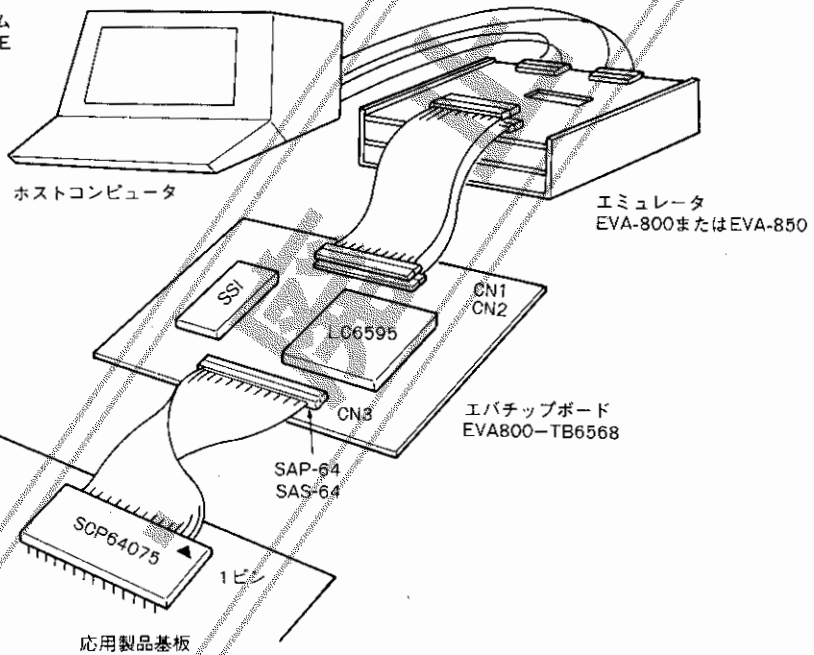


図1 開発サポートシステム外観図

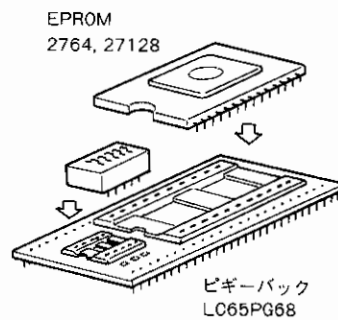
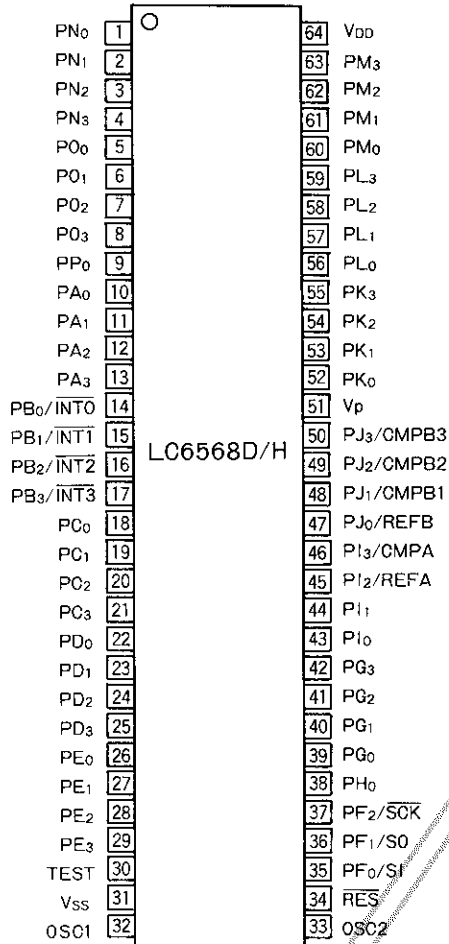


図2 ピギーバック (プログラム評価用)

(注) MS-DOS : マイクロ・ソフト社の商標である。

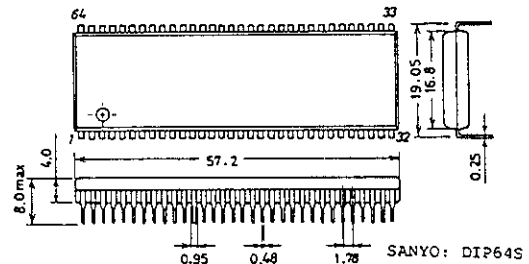
LC6568D, 6568H

ピン配置図

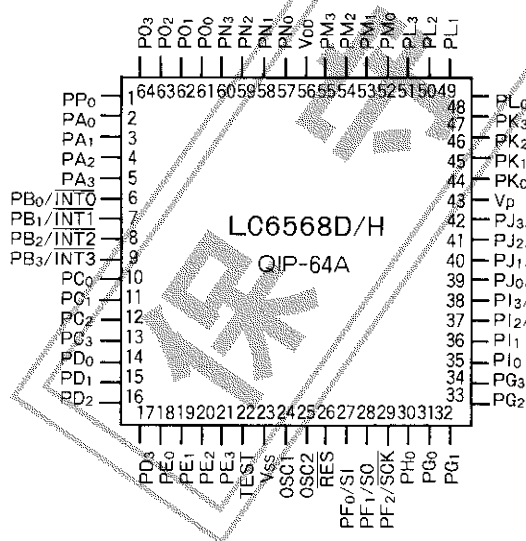
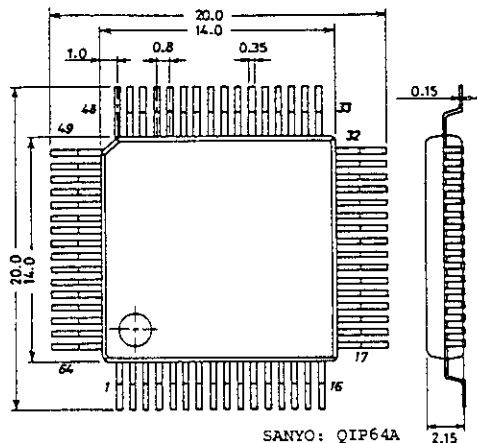


- OSC1, OSC2 : OSC用C, Rまたはセラミック発振端子
- PA0~3 : 入力専用ポート A0~3
- PB0~3 : 入力専用ポート B0~3
- PC0~3 : 入出力共通ポート C0~3
- PD0~3 : 入出力共通ポート D0~3
- PE0~3 : 入出力共通ポート E0~3
- PF0~2 : 入出力共通ポート F0~2
- PG0~3 : 入出力共通ポート G0~3
- PH0 : 入出力共通ポート H0
- PI0~3 : 入出力共通ポート I0~3
- PJ0~3 : 入出力共通ポート J0~3
- PK0~3 : 出力専用ポート K0~3
- PL0~3 : 出力専用ポート L0~3
- PM0~3 : 出力専用ポート M0~3
- PN0~3 : 出力専用ポート N0~3
- PO0~3 : 出力専用ポート O0~3
- PP0 : 出力専用ポート P0
- SI : 4ビット/8ビット シリアル入力ポート
- SO : 4ビット/8ビット シリアル出力ポート
- SCK : シリアルクロック用入出力
- INT0~3 : 割り込み要求入力
- Vp : Vp端子
- RES : リセット
- TEST : テスト
- CMPA : コンパレータA入力端子
- CMPB1~3 : コンパレータB1~3入力端子
- REFA : コンパレータA基準電圧入力端子
- REFB : コンパレータB基準電圧入力端子

外形図 3071-D64IC (unit: mm)

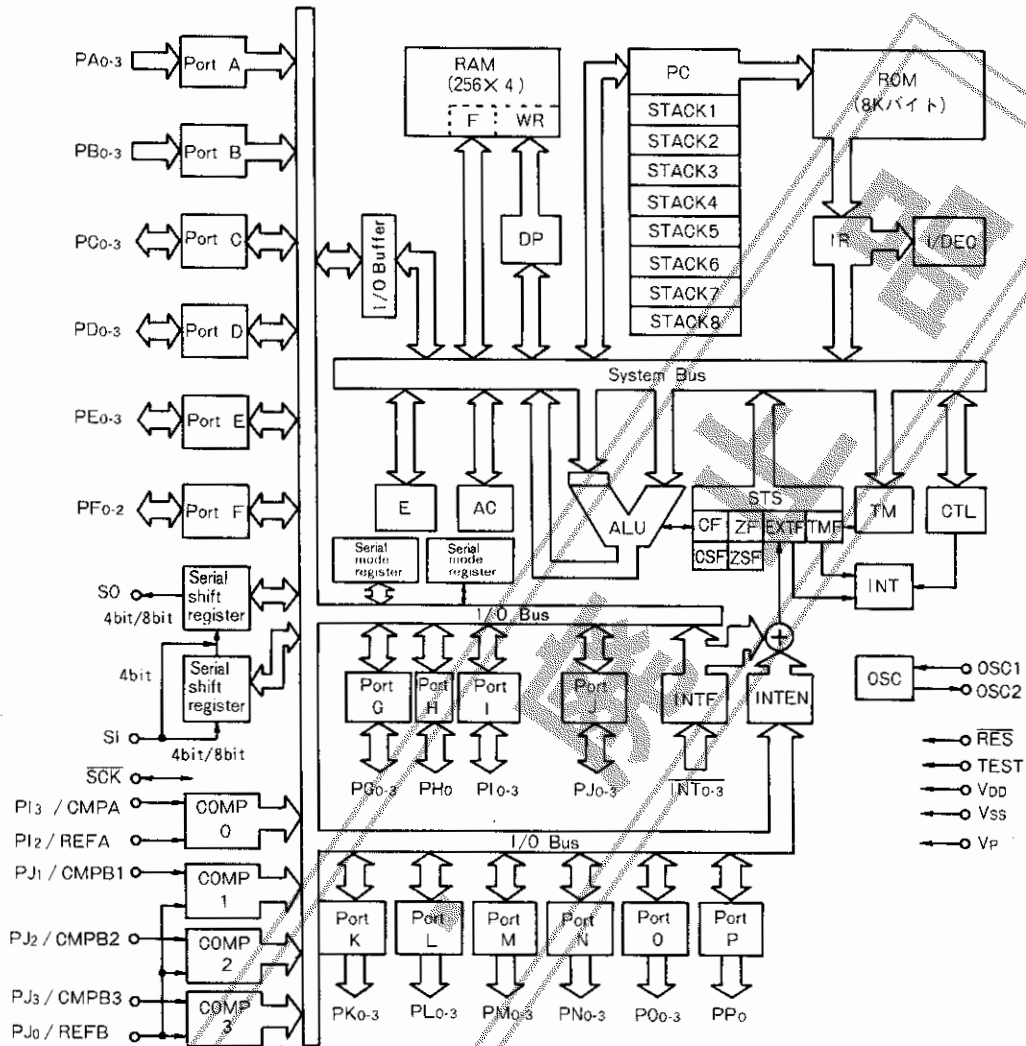


外形図 3057-Q64AIC (unit: mm)



QIPパッケージ品を基板に実装する際
半田ジャブ漬けを行なわないこと。

システムブロック図



システムブロックダイアグラム

RAM	: Data memory	ROM	: Program memory
F	: Flag	PC	: Program counter
WR	: Working register	INT	: Interrupt control
AC	: Accumulator	IR	: Instruction register
ALU	: Arithmetic and logic unit	I.DEC	: Instruction decoder
DP	: Data pointer	CF, CSF	: Carry flag, carry save flag
E	: E register	ZF, ZSF	: Zero flag, zero save flag
CTL	: Control register	EXTF	: External interrupt request
OSC	: Oscillator	TMF	: Internal interrupt request
TM	: Timer	INTF	: Interrupt request flag
STS	: Status register	INTEN	: Interrupt enable flag

(注) SI, SO, SCK, はPF 0 ~ PF 2 と共通端子。

INT 0 ~ INT 3 はPB 0 ~ PB 3 と共通端子。

REFA, CMPA はPI 2, PI 3 ポートとオプション切替え。

REFB, CMPB 1 ~ CMPB 3 はPJ 0 ~ PJ 3 ポートとオプション切替え。

LC6568D, 6568H

LC6568H/D 端子機能

名 称	ピン数	I/O	機 能	オプション	リセット時
VDD VSS	1 1	— —	電源		
OSC1	1	入力	<ul style="list-style-type: none"> システムクロック発振CR, セラミック発振子外付け用端子。 外部クロックの場合, OSC2 端子は開放とすること。 	① 外部クロック ② 2 端子CR発振 ③ 2 端子セラミック発振 ④ 分周オプション 1: 分周なし 2: 1/3分周 3: 1/4分周	
OSC2	1	出力			
PA0 PA1 PA2 PA3	4	入力	<ul style="list-style-type: none"> 入力ポートA0~3 (低スレッショルド入力) 4ビット単位での入力(IP命令) 1ビット単位での判定 (BP, BNP命令) 		
PB0/INT0 PB1/INT1 PB2/INT2 PB3/INT3	4	入力	<ul style="list-style-type: none"> 入力ポートB0~3 4ビット単位での入力(IP命令) 1ビット単位での判定 (BP, BNP命令) PB3はスタンバイのコントロールを行なう。 HALT命令実行サイクル中は, PB3にチャタリングが入らないようにする。 PB0~3はINT0~3と兼用になっている。プログラムにより, どちらにするか選択できる (割り込みベクタ1、センス4)。 		<ul style="list-style-type: none"> 個別割り込みフラグ (INT0F ~INT3F) はリセットされる。 個別割り込み許可フラグ (INT0EN ~INT3EN) はdisable状態
PC0 PC1 PC2 PC3	4	入出力	<ul style="list-style-type: none"> 入出力ポートC0~3 4ビット単位での入力(IP命令) 4ビット単位での出力(OP命令) 1ビット単位での判定 (BP, BNP命令) 1ビット単位でのセット, リセット (SPB, RPB命令) リセット時の出力を, オプションで“H”または“L”に指定できる。 	①出力オープンドレイン ②プルアップ付 ③リセット時出力“H” ④リセット時出力“L” ・①、②の指定はビット単位 ・③、④の指定は4ビット一括	<ul style="list-style-type: none"> “H”出力 “L”出力 (オプションによる)
PD0 PD1 PD2 PD3	4	入出力	<ul style="list-style-type: none"> 入出力ポートD0~3 機能、オプションはPC0~3と同じ。 	PC0~3と同じ	PC0~3と同じ
PE0 PE1 PE2 PE3	4	入出力	<ul style="list-style-type: none"> 入出力ポートE0~3 4ビット単位での入力(IP命令) 4ビット単位での出力(OP命令) 1ビット単位での判定 (BP, BNP命令) 1ビット単位でのセット, リセット (SPB, RPB命令) PE0は、連続パルス(64Tcyc)出力機能付。 	①出力オープンドレイン ②プルアップ付 ①、②の指定はビット単位で可能	“H”出力

次ページへ続く

前ページから続く

名称	ピン数	I/O	機能	オプション	リセット時
PF0/SI PF1/SO PF2/SCK	3	入出力	<ul style="list-style-type: none"> 入出力ポートF0~2機能, オプションはPE0~3と同じ。但し、3ビット構成, 連続パルス出力機能はない。 PF0~2はシリアルインタフェースと兼用になっている。プログラムによりどちらにするか選択できる。 SI …… シリアル入力ポート SO …… シリアル出力ポート SCK …… シリアルクロック用入出力 	PE0~3と同じ	PE0~3と同じ シリアルポートは ディスエーブル
PG0 PG1 PG2 PG3	4	入出力	<ul style="list-style-type: none"> 入出力ポートG0~3機能, オプションはPE0~3と同じ。但し、連続パルス出力機能はない。 	PE0~3と同じ	PE0~3と同じ
PH0	1	入出力	<ul style="list-style-type: none"> 入出力ポートH0機能, オプションはPG0~3と同じ。但し、1ビット構成。 	PG0~3と同じ	PG0~3と同じ
PI0 PI1 PI2/REFA PI3/COMPA	4 2	入出力 入力	<ul style="list-style-type: none"> 入出力ポート I0~3 (ポート入出力オプション選択時)機能, オプションはPG0~3と同じ。 コンパレータ入力オプション選択時 REFA: コンパレータ基準電圧入力 COMPA: コンパレータ入力 	PG0~3と同じ	PG0~3と同じ
PJ0/REFB PJ1/CMPB1 PJ2/CMPB2 PJ3/CMPB3	4 4	入出力 入力	<ul style="list-style-type: none"> 入出力ポート J0~3 (ポート入出力オプション選択時)機能, オプションはPG0~3と同じ。 コンパレータ入力オプション選択時 REFB: CMPB1~3に対する 共通基準電圧入力 CMPB1~3: コンパレータ入力 COMPAと合わせて、 4 Bit単位での入力 (BANK IP) 1 Bit単位での判定 (BANK BP, BNP) (at DPL=9) 	PG0~3と同じ	PG0~3と同じ
PK0 PK1 PK2 PK3	4	出力	<ul style="list-style-type: none"> 出力ポートK0~3 (セグメント出力) 4ビット単位での出力(OP命令) 1ビット単位でのセット, リセット(SP, RPB命令) 1ビット単位での判定 (BP, BNP命令) 	①出力オープンドレイン ②プルダウン付 ①、②の指定はビット 単位で可能	“L”出力

次ページへ続く

LC6568D, 6568H

前ページから続く

名称	ピン数	I/O	機能	オプション	リセット時
PL0 PL1 PL2 PL3	4	出力	<ul style="list-style-type: none"> 出力ポート L0~3 (セグメント出力) 機能, オプションはPK0~3と同じ。	PK0~3と同じ	PK0~3と同じ
PM0 PM1 PM2 PM3	4	出力	<ul style="list-style-type: none"> 出力ポート M0~3 (ディジット出力) 機能, オプションはPK0~3と同じ。	PK0~3と同じ	PK0~3と同じ
PN0 PN1 PN2 PN3	4	出力	<ul style="list-style-type: none"> 出力ポート N0~3 (ディジット出力) 機能, オプションはPK0~3と同じ。	PK0~3と同じ	PK0~3と同じ
PO0 PO1 PO2 PO3	4	出力	<ul style="list-style-type: none"> 出力ポート O0~3 (ディジット出力) 機能, オプションはPK0~3と同じ。	PK0~3と同じ	PK0~3と同じ
PP0	1	出力	<ul style="list-style-type: none"> 出力ポート P0(ディジット出力) 機能, オプションはPK0~3と同じ。ただし, 1ビット構成。	PK0~3と同じ	PK0~3と同じ
RES	1	入力	<ul style="list-style-type: none"> システムリセット入力。 パワーアップリセットは, “L”レベルを4クロックサイクル以上入力。 		
TEST	1	入力	<ul style="list-style-type: none"> LSIのテスト用端子。通常はVssへ接続。 		
Vp	1		<ul style="list-style-type: none"> プルダウン抵抗用電源端子。 		

保 特

発振回路オプション

オプション名	回路	条件・その他
1. 外部クロック		<ul style="list-style-type: none"> • 入力シュミット仕様
2. 2端子CR発振		<ul style="list-style-type: none"> • 入力シュミット仕様
3. セラミック発振		

(注) 高速版はセラミック発振仕様、外部クロック仕様のみ開放する。

分周器オプション

オプション名	回路	条件・その他
1. 分周器なし		<ul style="list-style-type: none"> • 3つの発振オプション全てに適用される。 • 発振周波数、外部クロックは1444kHzを越えない (LC6568D)。 • 発振周波数、外部クロックは4330kHzを越えない (LC6568H)。 • 発振、分周オプション表(表2)を参照すること。
2. 1/3分周器内蔵		<ul style="list-style-type: none"> • 外部クロックおよびセラミック発振の2つのオプションにのみ適用。 • 発振周波数、外部クロックは4330kHzを越えない。 • 発振、分周オプション表(表2)を参照すること。
3. 1/4分周器内蔵		<ul style="list-style-type: none"> • 外部クロックおよびセラミック発振の2つのオプションにのみ適用。 • 発振周波数、外部クロックは4330kHzを越えない。 • 発振、分周オプション表(表2)を参照すること。

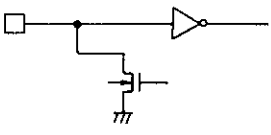
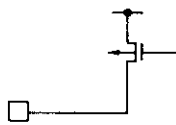
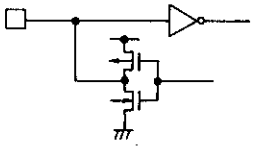
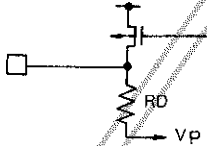
リセット時のポートC, D出力レベルオプション

入出力ポートC, Dは、それぞれ4ビット一括で、リセット時の出力レベルを次の2つのオプションから選択できる。

オプション名	条件・その他
1. リセット時出力“H”レベル	ポートC, Dの4ビット一括
2. リセット時出力“L”レベル	ポートC, Dの4ビット一括

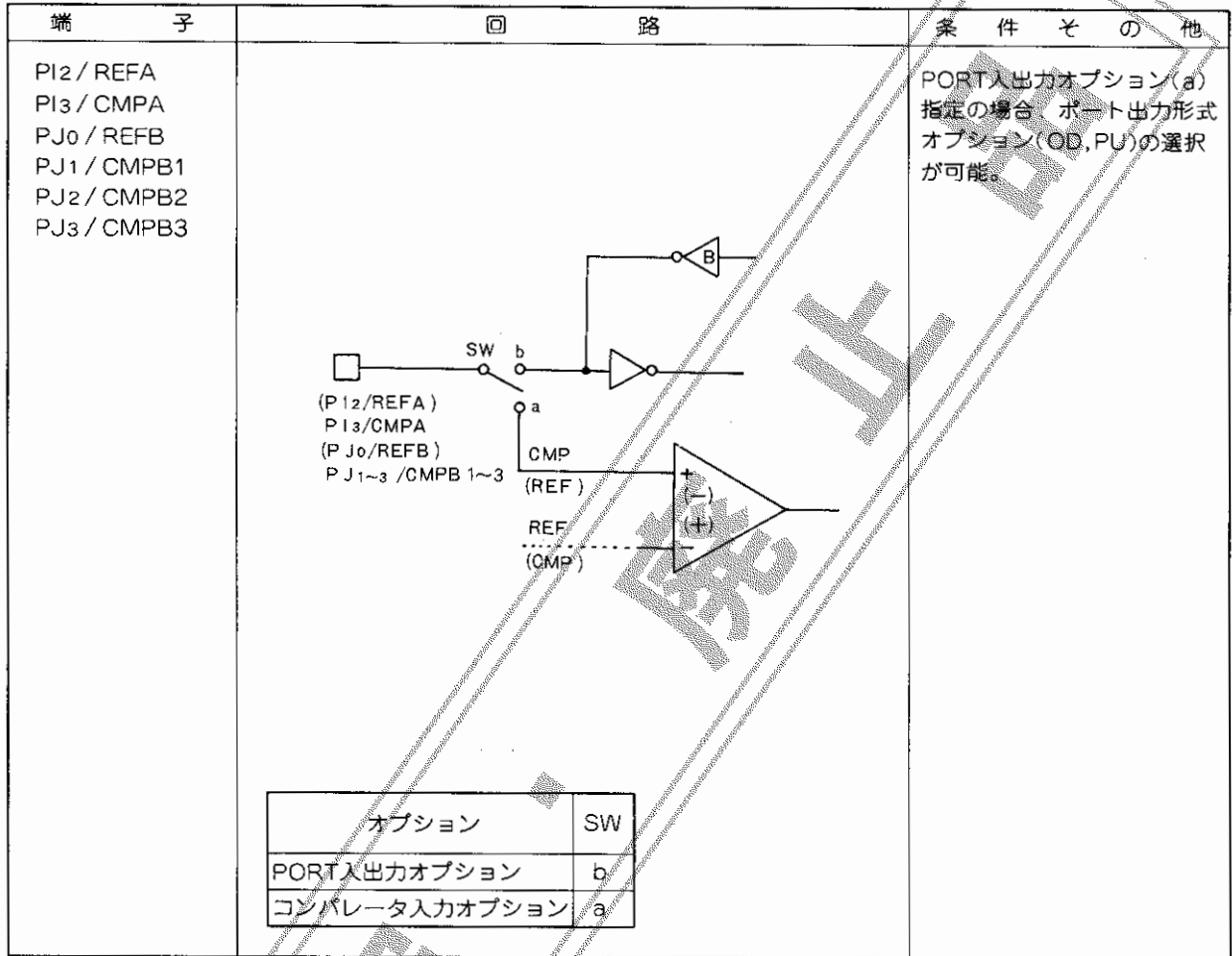
ポート出力形式オプション

入出力ポート及び出力ポートは、個別に次の2つのオプションを選択できる(ビット単位)。

オプション名	回路	対象ポート
1. オープンドレイン出力		ポートC, D, E, F, G, H, I, J
		ポートK, L, M, N, O, P
2. プルアップ抵抗出力		ポートC, D, E, F, G, H, I, J (注) コンパレータ入力機能オプション選択時の PI2/REFA, PI3/GMPA, PJ0/REFB PJ1~3/CMP1~3ポートに対しては適用不可
3. プルダウン抵抗出力		ポートK, L, M, N, O, P

PORT入出力
コンパレータ入力) オプション

- PI2/REFA, PI3/CMPA, PJ0/REFB, PJ1/CMPB1, PJ2/CMPB2, PJ3/CMPB3の6つのポートに対し、PORT入出力、コンパレータ入力の2つのオプションが選択できる。(注)
- PORT入出力とコンパレータ入力との切替えは各ビット単位で行なえる。
 - (a) PORT入出力
 - (b) コンパレータ入力



(注) PI2/REFAはPI3/CMPAのオプション指定により、自動的にオプション指定される。
 PJ0/REFBはPJ1/CMPB1, PJ2/CMPB2, PJ3/CMPB3のオプション指定により、自動的にオプション指定される。

LC6568D, 6568H

LC6568D

1. 絶対最大定格 / V_{SS} = 0 V, T_a = 25°C

項目	記号	条件	適用端子, 備考	規格			unit
				min	typ	max	
最大電源電圧	V _{DD} max		V _{DD}	-0.3		+7.0	V
出力電圧	V _O (1)		OSC2	発生する電圧まで許容する。			V
	V _O (2)		ポートK, L, M, N, O, P0	V _{DD} -45		V _{DD} +0.3	
入力電圧	V _I (1)		OSC1(注1), TEST, RES	-0.3		V _{DD} +0.3	V
	V _I (2)		ポートA, B	-0.3		+15	
	V _I (3)		V _p	V _{DD} -45		V _{DD} +0.3	
入出力電圧	V _{IO} (1)		ポートC, D, E, F0~F2, G, H0, I, JのOD仕様	-0.3		+15	V
	V _{IO} (2)		ポートC, D, E, F0~F2, G, H0, I, JのPU仕様	-0.3		V _{DD} +0.3	
ピーク出力電流	I _{OP} (1)		ポートC, D, E, F0~F2, G, H0, I, J	-2		+15	mA
	I _{OP} (2)		ポートK, L	-10		0	
	I _{OP} (3)		ポートM, N, O, P0	-30		0	
許容消費電力	P _d max	T _a = -30~+70°C	DIP64S			600	mW
			QIP64			430	
動作周囲温度	T _{OPg}			-30		+70	°C
保存周囲温度	T _{stg}			-55		+125	°C
平均出力電流	I _{OA} (1)	1端子当り 100msec周の平均	ポートC, D, E, F0~F2, G, H0, I, J	-2		+15	mA
	I _{OA} (2)		ポートK, L	-10		0	
	I _{OA} (3)		ポートM, N, O, P0	-30		0	
	ΣI _{OA} (1)	PC0~3, PD0~3, PE0~3の合計電流(注2)		-30		+50	
	ΣI _{OA} (2)	PF0~2, PG0~3, PH0, PI0~3, PJ0~3の合計電流(注2)		-30		+50	
	ΣI _{OA} (3)		PK0~3, PL0~3, PM0~3, の合計電流(注2)		-50		0
	ΣI _{OA} (4)		PN0~3, PO0~3, PP0の合計電流(注2)		-50		0

LC6568D, 6568H

LC6568D

2. 許容動作範囲 / VSS=0V, Ta=-30~+70℃, 指定のない場合 VDD=4.0V~6.0V

項目	記号	条件	VDD(V)	適用端子, 備考	規格			unit
					min	typ	max	
動作電源電圧	VDD			VDD	4.0		6.0	V
スタンバイ電源電圧	VST	RAM, レジスタ保持 (注3)		VDD	1.8		6.0	V
入力Hレベル電圧	VIH(1)			ポートA	1.9		+13.5	V
	VIH(2)	出力NchTrオフ		OD仕様のポート (portC~J)	0.7VDD		+13.5	
	VIH(3)	出力NchTrオフ		PU仕様のポート (portC~J)	0.7VDD		VDD	
	VIH(4)	出力NchTrオフ		OD仕様のSCK, SI	0.8VDD		+13.5	
	VIH(5)	出力NchTrオフ		PU仕様のSCK, SI	0.8VDD		VDD	
	VIH(6)	図7		PB3の高Vt入力回路	VDD-0.5		+13.5	
	VIH(7)	図7		PB3の低Vt入力回路	0.5VDD		+13.5	
	VIH(8)	図3	1.8~6.0	RES	0.8VDD		VDD	
	VIH(9)			PB0~2, INT0~3	0.8VDD		+13.5	
	VIH(10)	外部クロック仕様		OSC1	0.8VDD		VDD	
入力Lレベル電圧	VIL(1)			PA0~3	VSS		+0.5	V
	VIL(2)			PC~PJ, TEST	VSS		0.3VDD	
	VIL(3)			PB0~2 SCK, SI, INT0~3	VSS		0.25VDD	
	VIL(4)			RES	VSS		0.25VDD	
	VIL(5)	図7		PB3	VSS		0.9	
	VIL(6)	図7	1.8~6.0	PB3	VSS		0.3	
	VIL(7)	外部クロック仕様		OSC1	VSS		0.25VDD	
動作周波数 (サイクルタイム)	fop (Tcyc)			OSC1 OSC2	384 (10.4)		1440 (2.77)	kHz (μs)
セラミック発振定数				OSC1 OSC2	図1 表1参照			
外部クロック駆動	周波数	fEXT			表2参照			
	Hレベルクロック パルス幅	TEXTH			OSC1 (図4)	90		ns
	Lレベルクロック パルス幅	TEXTL						
	立ち上がり時間	TEXTR						
	立ち下り時間	TEXTF						
				30				
2端子CR発振	外付容量	CEXT			220±5%			pF
	外付抵抗値	REXT			OSC1, OSC2 (図9)			6.8±1%

LC6568D, 6568H

LC6568D

3. 電気的特性 / Ta = -30 ~ +70°C, Vss = 0V, 指定のない場合 VDD = 4.0V ~ 6.0V

項目	記号	条件	VDD(V)	適用端子, 備考	規格			unit
					min	typ	max	
入力Hレベル電流	I _{IH} (1)	出力Nch Tr オフ (Nch Tr のオフリーク電流を含む) V _{IN} = +13.5V		OD仕様のポート (Port C ~ J) ポート A, B			+5.0	μA
	I _{IH} (2)	出力Nch Tr オフ (Nch Tr のオフリーク電流を含む) V _{IN} = V _{DD}		PU仕様のポート (Port C ~ J) OSC1 (外部クロック仕様)			+1.0	
入力Lレベル電流	I _{IL} (1)	出力Nch Tr オフ V _{IN} = V _{SS}		OD仕様のポート (Port C ~ J) ポート A, B OSC1 (外部クロック仕様)	-1.0			μA
	I _{IL} (2)	出力Nch Tr オフ V _{IN} = V _{SS}		PU仕様のポート (Port C ~ J)	-1.3	-0.35		mA
	I _{IL} (3)	V _{IN} = V _{SS}		RES	-45	-10		μA
出力Hレベル電圧	V _{OH} (1)	I _{OH} = -50 μA		PU仕様のポート (Port C ~ J)	V _{DD} - 1.2			V
	V _{OH} (2)	I _{OH} = -3 mA		ポート K, L	V _{DD} - 1.8			
	V _{OH} (3)	I _{OH} = -15 mA		ポート M, N, O, P0	V _{DD} - 1.8			
出力Lレベル電圧	V _{OL} (1)	I _{OL} = 10 mA, 他ポートの端子は ΣI _{OL} max とする		ポート C, D, E, F0 ~ F2, G, H0, I, J			1.5	V
	V _{OL} (2)	I _{OL} = 2 mA, 全ポートの端子は 各々 I _{OL} = 2 mA とする		ポート C, D, E, F0 ~ F2, G, H0, I, J			0.5	
	V _{OL} (3)	V _P = -35V, 出力Pch Tr オフ, 出力オープン		PD仕様のポート (Port K ~ P)			-33	
出力オフリーク電流	I _{OFF} (1)	出力Pch Tr オフ V _{OUT} = V _{DD}		OD仕様のポート (Port K ~ P)			+30	μA
	I _{OFF} (2)	出力Pch Tr オフ V _{OUT} = V _{DD} - 40V			-30			
ヒステリシス電圧	V _{HIS}			RES, INT0 ~ 3, SCK, SI, シュミット 仕様時のOSC1(注5)		0.1V _{DD}		V
ブルアップ抵抗	R _{PP}		5.0	PU仕様のポート (Port C ~ J)		14		kΩ
ブルダウン抵抗	R _{PD}		5.0	PD仕様のポート (Port K ~ P)	50		200	

次ページへ続く

LC6568D, 6568H

前ページから続く

LC6568D

項 目	記 号	条 件	適用端子, 備考	規 格			unit	
				VDD(V)	min	typ		max
消費電流	2端子CR発振	IDDOP(1)	図9 fosc=750kHz (typ)	VDD		2.5	8	mA
	セラミック発振	IDDOP(2)	図1 4MHz 1/3分周		8	15		
		IDDOP(3)	図1 4MHz 1/4分周		8	15		
		IDDOP(4)	動作時 出力		図1 3MHz 1/3分周	6.5	14	
		IDDOP(5)	Nch Tr, Pch Tr		図1 3MHz 1/4分周	6.5	14	
		IDDOP(6)	OFF		図1 400kHz	1.0	4.5	
		IDDOP(7)	VIN=VDD		図1 800kHz	2.0	6	
	外部クロック	IDDOP(8)	384kHz~1444kHz 1/1分周		3.5	9		
			1152kHz~4330kHz 1/3分周		8	15		
1536kHz~4330kHz 1/4分周								
スタンバイ時	IDDST	出力Nch, Pch Tr OFF 出力端子開放 VIN=VDD		0.05	10	μA		
セラミック発振	発振周波数	fcFOSC (注4)	1/1 (10μs) 400K	OSC1, OSC2 (図1)	392	400	408	kHz
			1/1 (5μs) 600K		784	800	816	
			1/3 (4μs) 3M		2.94	3	3.06	MHz
			1/4 (5.33μs)					
	1/3 (3μs) 4M	3.92	4		4.08			
安定時間	tCFS				10	ms		
CR発振	発振周波数	fcRS	1/1分周 Cext=220pF±5% Rext=6.8kΩ±1%	OSC1, OSC2 (図9)	554	750	1235	kHz
端子容量	CP	f=1MHz 被測定端子以外 VIN=VSS			10		pF	

LC6568D, 6568H

LC6568D

4. シリアルインタフェース特性 / $V_{SS}=0V$, $T_a=-30^{\circ}C\sim+70^{\circ}C$, 指定のない場合 $V_{DD}=4.0V\sim6.0V$

項 目	記 号	条 件	V _{DD} (V)	適用端子, 備考	規 格			unit
					min	typ	max	
シリアルクロック	入力クロック周期	tCKCY(1)	図 5			3.0		μs
	出力クロック周期	tCKCY(2)	図 5				64XT _{CKCY}	
	入力クロック Lレベルパルス幅	tCKL(1)	図 5		SCK	1.0		
	出力クロック Lレベルパルス幅	tCKL(2)	図 5				32XT _{CKCY}	
	入力クロック Hレベルパルス幅	tCKH(1)	図 5			1.0		
	出力クロック Hレベルパルス幅	tCKH(2)	図 5				32XT _{CKCY}	
	シリアル入力	データセット アップ時間	tICK	SCKの↑に 対して規定す る。	SI	0.5		
	データホール ド時間	tCKI	図 5		0.5			
シリアル出力	出力遅延 時間	tCKO	SCKの↓から 規定する。 Nch ODのみ 外付1kΩ 外付50pF 図 5	SO			0.5	
パルス出力	周期	TPCY	図 6 T _{CKCY} =4Xシステ ムクロック周期				64XT _{CKCY}	μs
	Hレベルパルス幅	TPH	Nch ODのみ 外付1kΩ	PE0			32XT _{CKCY} ±10%	
	Lレベルパルス幅	TPL	外付50pF				32XT _{CKCY} ±10%	

5. コンパレータ特性 / $V_{SS}=0V$, $T_a=-30^{\circ}C\sim+70^{\circ}C$, 指定のない場合 $V_{DD}=4.5V\sim6.0V$

項 目	記 号	条 件	V _{DD} (V)	適用端子, 備考	規 格			unit
					min	typ	max	
コンパレータ特性	入力電圧範囲	V _{CMIN}		PI 3, PJ1~3	V _{SS} +1.0		V _{DD} -1.5	V
	応答スピード	t _{RS}	100mV オーバドライブ 時				50	μs
	オフセット電圧	V _{OFS}	V _{CMIN} =V _{SS} +1.0V ~V _{DD} -1.5V				±20	±100

- (注1) 図1の発振回路及び保証定数で内部発振させた場合、発生する発振振幅まで許容するものとする。
- (注2) 100ms間の平均
- (注3) HALT命令を実行してスタンバイ状態となるまでは必ず動作電源電圧V_{DD}を保持すること。
又、HALT命令実行サイクル中は、PB3端子にチャタリングが入らないようにすること。
- (注4) f_{COSC}は発振可能な周波数を示す。
- (注5) OSC1は発振オプションで2端子CR発振または外部クロック発振を選択した時にシュミット仕様となる。
- (注6) QIPを基板に実装する際パッケージ本体をハンダディップ槽に直接浸す方法(ハンダジャブ漬け)は用いないこと。

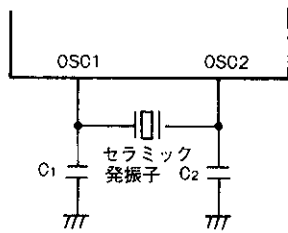


図1 セラミック発振回路

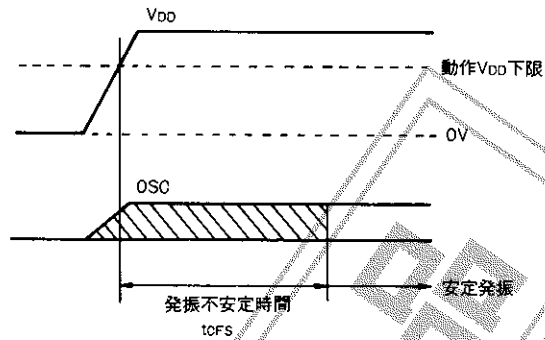


図2 発振安定時間

表1 LC6568D セラミック発振保証定数

4 MHz (ムラタ)	C1	33pF±10%
CSA4.00MG	C2	33pF±10%
4 MHz (京セラ)	C1	33pF±10%
KBR4.0MS	C2	33pF±10%
3 MHz (ムラタ)	C1	33pF±10%
CSA3.00MG	C2	33pF±10%
3 MHz (京セラ)	C1	33pF±10%
KBR3.0MS	C2	33pF±10%

800kHz(ムラタ)	C1	220pF±10%
CSB800D	C2	220pF±10%
CSB800K		
800kHz (京セラ)	C1	220pF±10%
KBR800H	C2	220pF±10%
400kHz (ムラタ)	C1	330pF±10%
CSB400E	C2	330pF±10%
400kHz (京セラ)	C1	330pF±10%
KBR400B	C2	330pF±10%

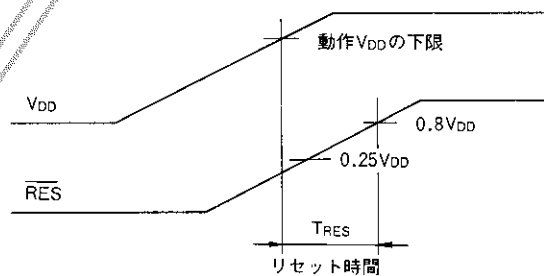
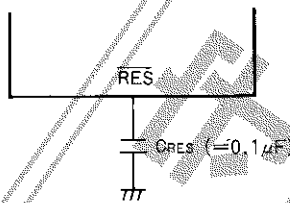


図3 リセット回路およびリセット時間

(注) 電源の立ち上がり時間がゼロのとき、 $C_{RES}=0.1\mu F$ にてリセット時間は10ms~100msとなる。
電源の立ち上がり時間が大きい場合、必ずリセット時間が10ms以上となるよう、 C_{RES} の値を増加する。

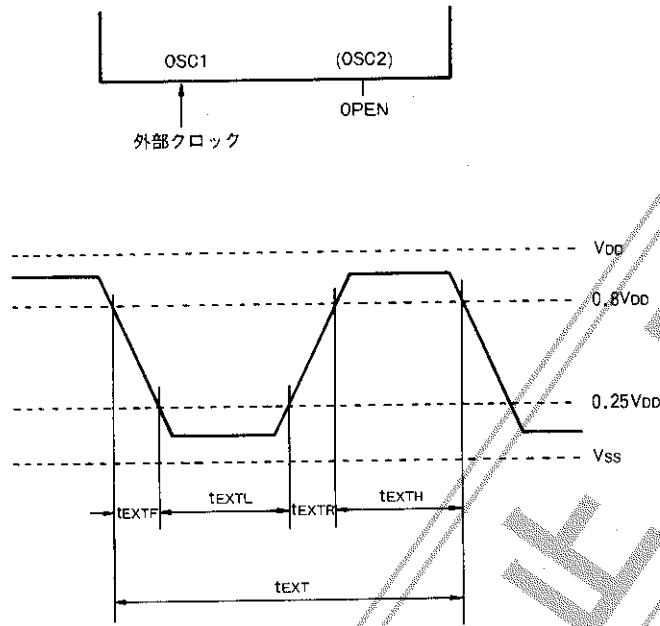


図4 外部クロック入力波形

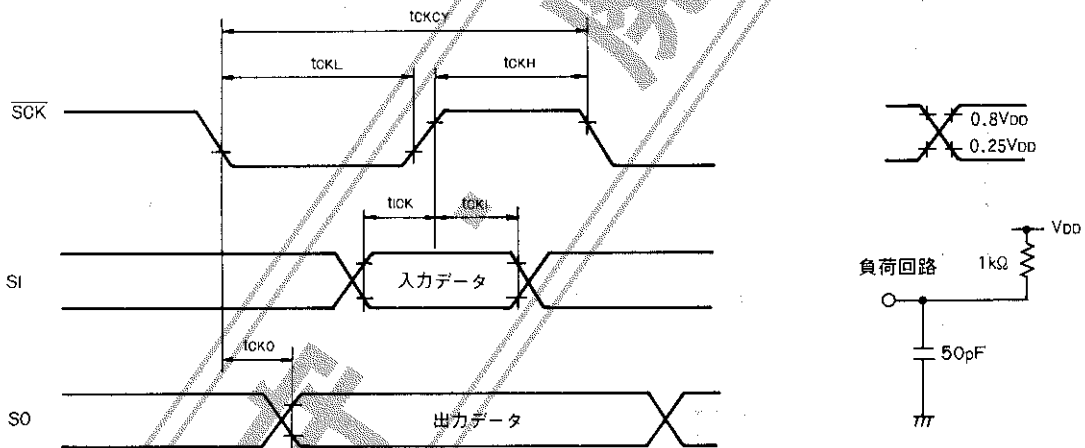
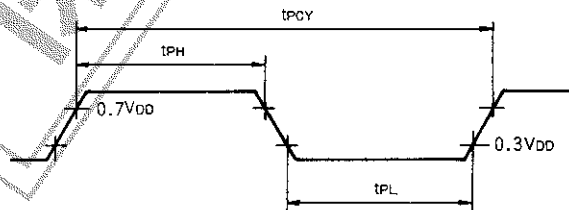


図5 シリアル入出力タイミング



負荷条件は図5と同じ

図6 ポートE0パルス出力タイミング

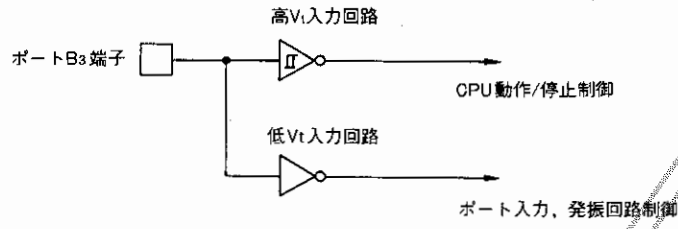


図7 ポートB3高Vt/低Vt入力回路

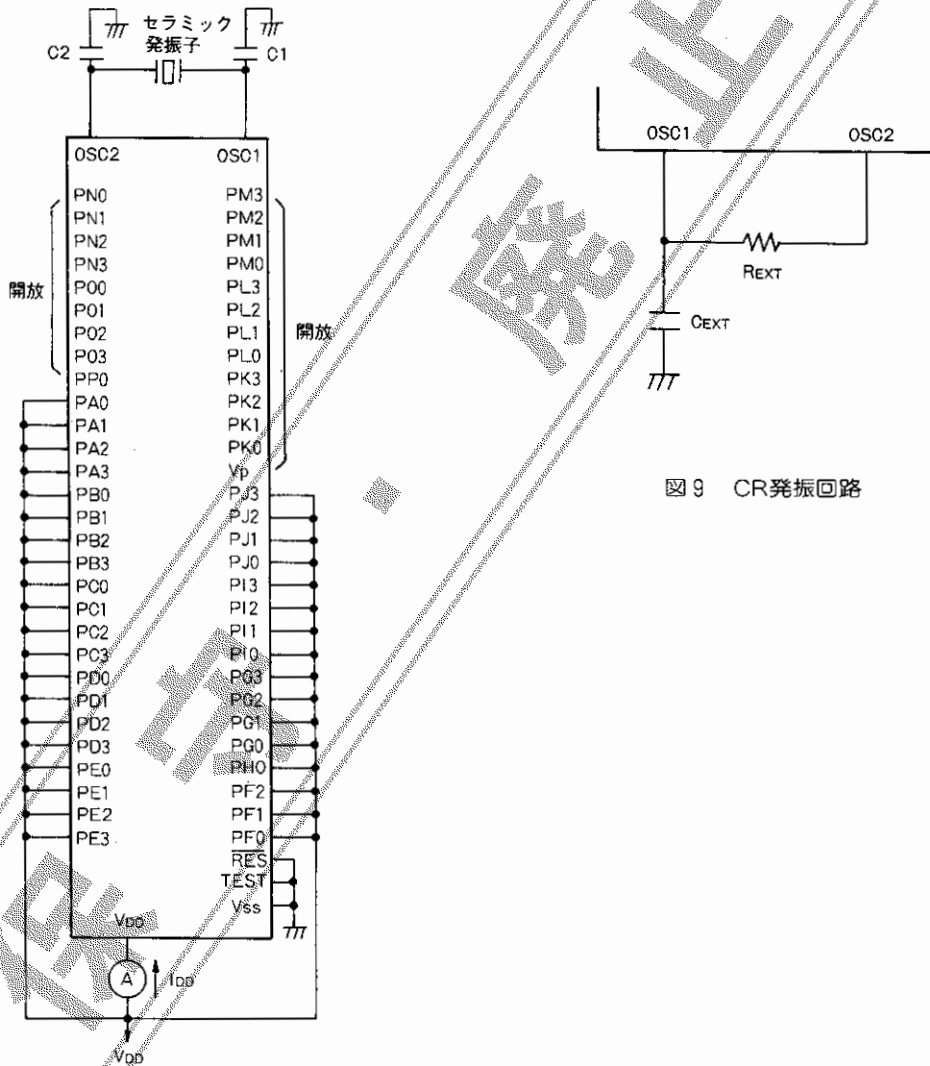


図9 CR発振回路

図8 I_{DDP}測定回路 (f = 4 MHz)

LC6568D, 6568H

表2 LC6568D

発振・分周オプション表(選択可能な組み合わせを示す。必ず守ること) VDD=4~6V

回路形式	周波数	分周オプション (サイクルタイム)	備考
セラミック発振オプション	400kHz	1/1 (10μs)	1/3, 1/4分周不可
	800kHz	1/1 (5μs)	1/3, 1/4分周不可
	3 MHz	1/3 (4μs) 1/4 (5.33μs)	1/1分周不可
	4 MHz	1/3 (3μs) 1/4 (4μs)	1/1分周不可
外部クロックオプション 又は CR発振オプションでの外部 クロック駆動	384~1444kHz 1152~4330kHz 1536~4330kHz	1/1 (10.4~2.77μs) 1/3 (10.4~2.77μs) 1/4 (10.4~3.70μs)	
セラミック発振オプションで の外部クロック駆動	外部クロック駆動はできない。外部クロック駆動を行なう場合は外部クロックオプション, 又は, CR発振オプションを指定すること。		
CR発振オプション	1/1分周, 推奨定数で用いること。 やむを得ず推奨定数以外で用いる場合, 外部クロックオプションと同じ分周オプション, 周波数, VDD範囲を守って使用のこと。		

LC6568DのCR発振特性

図10にLC6568DのCR発振特性を示す。

ただし、LC6568DのCR発振周波数のばらつき範囲は、外付定数Cext=220pF、Rext=6.8kΩの1点のみで

$$554\text{kHz} \leq f_{\text{CRS}} \leq 1235\text{kHz} \quad \left(\begin{array}{l} T_a = -30^\circ\text{C} \sim +70^\circ\text{C} \\ V_{\text{DD}} = 4.0 \sim 6.0\text{V} \end{array} \right)$$

を保証している。

やむを得ず上記以外の定数を用いる場合、Rext=4kΩ~20kΩ、Cext=150pF~390pFの範囲内で用いること。

(図10参照)

(注) VDD=5V、Ta=25℃における発振周波数が750kHz以下であること。

VDD=4~6V、Ta=-30~+70℃の範囲内で、発振周波数が動作クロック周波数範囲(384kHz~1444kHz)に対して十分余裕をもっていること。

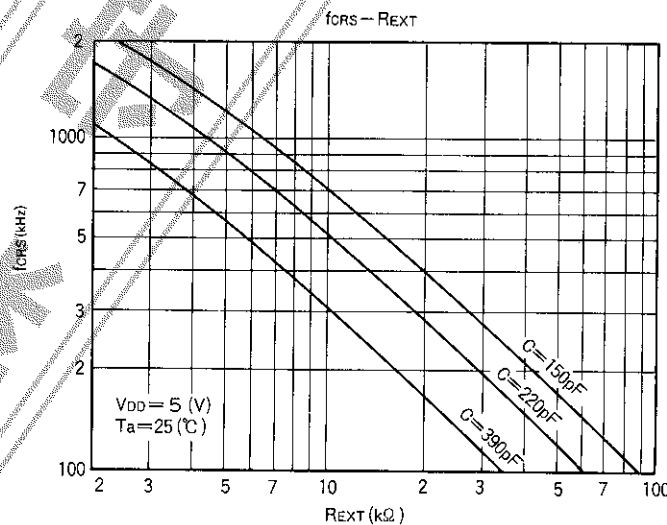


図10 CR発振周波数データ(代表値)

LC6568D, 6568H

LC6568H

1. 絶対最大定格 / V_{SS} = 0 V, T_a = 25°C

項 目	記 号	条 件	V _{DD} (V)	適用端子, 備考	規 格			unit
					min	typ	max	
最大電源電圧	V _{DDmax}			V _{DD}	-0.3		+7.0	V
出力電圧	V _O (1)			OSC 2	発生する電圧まで許容する。			V
	V _O (2)			ポートK, L, M, N, O, P0	V _{DD} -45		V _{DD} +0.3	
入力電圧	V _I (1)			OSC 1 (注1), TEST, RES	-0.3		V _{DD} +0.3	V
	V _I (2)			ポートA, B	-0.3		+15	
	V _I (3)			V _P	V _{DD} -45		V _{DD} +0.3	
入出力電圧	V _{IO} (1)			ポートC, D, E, F0~F2, G, H0, I, JのOD仕様	-0.3		+15	V
	V _{IO} (2)			ポートC, D, E, F0~F2, G, H0, I, JのPU仕様	-0.3		V _{DD} +0.3	
ピーク出力電流	I _{OP} (1)			ポートC, D, E, F0~F2, G, H0, I, J	-2		+15	mA
	I _{OP} (2)			ポートK, L	-10		0	
	I _{OP} (3)			ポートM, N, O, P0	-30		0	
許容消費電力	P _{dmax}	T _a = -30 ~ +70°C		DIP64S			600	mW
				QIP64			430	
動作周囲温度	T _{OPg}				-30		+70	°C
保存周囲温度	T _{stg}				-55		+125	°C
平均出力電流	I _{OA} (1)	1端子当り 100msec間の 平均		ポートC, D, E, F0~F2, G, H0, I, J	-2		+15	mA
	I _{OA} (2)			ポートK, L	-10		0	
	I _{OA} (3)			ポートM, N, O, P0	-30		0	
	ΣI _{OA} (1)	PC0~3, PD0~3 PE0~3の合計電 流(注2)		-30		+50		
	ΣI _{OA} (2)	PF0~2, PG0~3 PH0, PI0~3 PJ0~3の合計電 流(注2)		-30		+50		
ΣI _{OA} (3)	PK0~3, PL0~3 PM0~3の合計電 流(注2)				-50		0	
ΣI _{OA} (4)	PN0~3, PO0~3 PP0の合計電 流(注2)				-50		0	

LC6568D, 6568H

LC6568H

2. 許容動作範囲 / $V_{SS} = 0V$, $T_a = -30 \sim +70^\circ C$, 指定のない場合 $V_{DD} = 4.5V \sim 6.0V$

項目	記号	条件	V _{DD} (V)	適用端子, 備考	規格			unit
					min	typ	max	
動作電源電圧	V _{DD}			V _{DD}	4.5		6.0	V
スタンバイ電源電圧	V _{ST}	RAM, レジスタ保持 (注3)		V _{DD}	1.8		6.0	V
入力Hレベル電圧	V _{IH} (1)			ポートA,	1.9		+13.5	V
	V _{IH} (2)	出力Nch Trオフ		OD仕様のポート (portC~J)	0.7V _{DD}		+13.5	
	V _{IH} (3)	出力Nch Trオフ		PU仕様のポート (portC~J)	0.7V _{DD}		V _{DD}	
	V _{IH} (4)	出力Nch Trオフ		OD仕様のSCK, SI	0.8V _{DD}		+13.5	
	V _{IH} (5)	出力Nch Trオフ		PU仕様のSCK, SI	0.8V _{DD}		V _{DD}	
	V _{IH} (6)	図7		PB3の高V _I 入力回路	V _{DD} -0.5		+13.5	
	V _{IH} (7)	図7		PB3の低V _I 入力回路	0.5V _{DD}		+13.5	
	V _{IH} (8)	図3	1.8~6.0	RES	0.8V _{DD}		V _{DD}	
	V _{IH} (9)			PB0~2, INT0~3	0.8V _{DD}		+13.5	
	V _{IH} (10)	外部クロック仕様		OSC1	0.8V _{DD}		V _{DD}	
入力Lレベル電圧	V _{IL} (1)			PA0~3	V _{SS}		+0.5	V
	V _{IL} (2)			PC~PJ TEST	V _{SS}		0.3V _{DD}	
	V _{IL} (3)			PB0~2 SCK, SI, INT0~3	V _{SS}		0.25V _{DD}	
	V _{IL} (4)			RES	V _{SS}		0.25V _{DD}	
	V _{IL} (5)	図7		PB3	V _{SS}		0.9	
	V _{IL} (6)	図7	1.8~6.0	PB3	V _{SS}		0.3	
	V _{IL} (7)	外部クロック仕様		OSC1	V _{SS}		0.25V _{DD}	
動作周波数 (サイクルタイム)	f _{op} (T _{cyc})			OSC1 OSC2	384 (10.4)		4330 (0.92)	kHz (μ s)
セラミック発振定数				OSC1 OSC2	図1, 表1参照			
外部クロック駆動	周波数	f _{EXT}	1/4分周	OSC1	表2参照			
	Hレベルクロックパルス幅	T _{EXTH}		(図4)	90			ns
	Lレベルクロックパルス幅	T _{EXTL}						
	立ち上り時間	T _{EXTR}						
	立ち下り時間	T _{EXTF}						
							30	

3. 電気的特性 / $T_a = -30 \sim +70^\circ C$, $V_{SS} = 0V$, 指定のない場合 $V_{DD} = 4.5V \sim 6.0V$

項目	記号	条件	V _{DD} (V)	適用端子, 備考	規格			unit
					min	typ	max	
入力Hレベル電流	I _{IH} (1)	出力Nch Trオフ (Nch Trのオフリーク電流を含む) V _{IN} =+13.5V		OD仕様のポート (PortC~J) ポートA, B			+5.0	μ A
	I _{IH} (2)	出力Nch Trオフ (Nch Trのオフリーク電流を含む) V _{IN} =V _{DD}		PU仕様のポート (PortC~J) OSC1 (外部クロック仕様)			+1.0	

次ページへ続く

LC6568D, 6568H

前ページから続く

LC6568H

項目	記号	条件		適用端子, 備考	規格			unit
					VDD(V)	min	typ	
入力レベル電流	IIL(1)	出力NchTrオフ VIN=VSS		OD仕様のポート (PortC~J) ポートA, B OSC1 (外部クロック仕様)	-1.0			μA
	IIL(2)	出力NchTrオフ VIN=VSS		PU仕様のポート (PortC~J)	-1.3	-0.35		mA
	IIL(3)	VIN=VSS		RES	-45	-10		μA
出力レベル電圧	VOH(1)	IOH=-50μA		PU仕様のポート (PortC~J)	VDD-1.2			V
	VOH(2)	IOH=-3mA		ポートK, L	VDD-1.8			
	VOH(3)	IOH=-15mA		ポートM, N, O, P0	VDD-1.8			
出力レベル電圧	VOL(1)	IOL=10mA, 他ポ ートの端子は ΣIOL maxとする。		ポートC, D, E, F0~ F2, H0, I, J			1.5	V
	VOL(2)	IOL=2mA, 全ポ ートの端子は各々 IOL=2mAとす る。		ポートC, D, E, F0~ F2, G, H0, I, J			0.5	
	VOL(3)	Vp=-35V, 出力 Pch Trオフ, 出力オープン		PD仕様のポート (PortK~P)			-33	
出力オフリーク電流	IOFF(1)	出力PchTrオフ VOUT=VDD		OD仕様のポート (PortK~P)			+30	μA
	IOFF(2)	出力PchTrオフ VOUT=VDD-40V			-30			
ヒステリシス電圧	VHIS			RES, INT0~3, SCK, S, シュミット仕様時 のOSC1 (注5)		0.1VDD		V
プルアップ抵抗	RPP		5.0	PU仕様のポート (PortC~J)		14		kΩ
プルダウン抵抗	Rpd		5.0	PD仕様のポート (PortK~P)	50		200	kΩ
消費電流	IDDOP(1)	動作時 出力Nch, Pch Tr	4MHz発振 (図8)	VDD		8	15	mA
	IDDOP(2)	OFF	外部クロック 384kHz~ 433kHz					
	IDDST	・スタンバイ時 ・出力Nch, Pch Tr OFF ・出力端子開放 ・VIN=VDD		VDD		0.05	10	μA
発振周波数	fcFOSC	1/4 (1μs) 4MHz		OSC 1	3.92	4.00	4.08	MHz
	fcFS	図2		OSC 2 (図1)			10	ms
端子容量	CP	f=1MHz 被測定端子 以外VIN=VSS				10		pF

LC6568D, 6568H

LC6568H

4. シリアルインタフェース特性 / $V_{SS}=0V$, $T_a=-30^{\circ}C\sim+70^{\circ}C$, 指定のない場合 $V_{DD}=4.5V\sim6.0V$

項目	記号	条件	V _{DD} (V)	適用端子, 備考	規格			unit
					min	typ	max	
シリアルクロック	入力クロック周期	tCKCY(1)	図5			3.0		μs
	出力クロック周期	tCKCY(2)	図5				64XT _{CKCY}	
	入力クロック Lレベルパルス幅	tCKL(1)	図5		SCK	1.0		
	出力クロック Lレベルパルス幅	tCKL(2)	図5				32XT _{CKCY}	
	入力クロック Hレベルパルス幅	tCKH(1)	図5			1.0		
	出力クロック Hレベルパルス幅	tCKH(2)	図5				32XT _{CKCY}	
	データセット アップ時間	tICK	SCKの↑に対し て規定する。 図5		SI	0.5		
データホールド 時間	tCKI	図5			0.5			
出力遅延 時間	tCKO	SCKの↓から規定 する。 Nch ODのみ 外付1kΩ 外付50pF 図5		SO			0.5	
パルス出力	周期	tPCY	図6				64XT _{CKCY}	μs
	Hレベルパルス幅	tPH	T _{CKCY} =4Xシステム クロック周期 Nch ODのみ 外付1kΩ 外付50pF		PE0		32XT _{CKCY} ±10%	
	Lレベルパルス幅	tPL					32XT _{CKCY} ±10%	

5. コンパレータ特性 / $V_{SS}=0V$, $T_a=-30^{\circ}C\sim+70^{\circ}C$, 指定のない場合 $V_{DD}=4.5V\sim6.0V$

項目	記号	条件	V _{DD} (V)	適用端子, 備考	規格			unit
					min	typ	max	
コンパレータ特性	入力電圧範囲	V _{CMIN}		PI3, PJ1~3	V _{SS} +1.0		V _{DD} -1.5	V
	応答スピード	TRS	100mV オーバドライブ 時				50	μs
	オフセット電圧	V _{OFFS}	V _{CMIN} =V _{SS} +1.0V ~V _{DD} -1.5V			±20	±100	mV

- (注1) 図1の発振回路及び保証定数で内部発振させた場合、発生する発振振幅まで許容するものとする。
- (注2) 100ms間の平均
- (注3) HALT命令を実行してスタンバイ状態となるまでは必ず動作電源電圧V_{DD}を保持すること。
また、HALT命令実行サイクル中は、PB3端子にチャタリングが入らないようにすること。
- (注4) f_{CFOSC}は発振可能な周波数を示す。
- (注5) OSC1は発振オプションで外部クロック発振を選択した時にシュミット仕様となる。
- (注6) QIPを基板に実装する際パッケージ本体をハンダディップ槽に直接浸す方法(ハンダジャブ漬け)は用いないこと。

表1 LC6568H セラミック発振保証定数

4MHz (ムラタ) CSA4.00MG	C1	33pF±10%
	C2	33pF±10%
4MHz (京セラ) KBR4.0MS	C1	33pF±10%
	C2	33pF±10%
3MHz (ムラタ) CSA3.00MG	C1	33pF±10%
	C2	33pF±10%
3MHz (京セラ) KBR3.0MS	C1	33pF±10%
	C2	33pF±10%

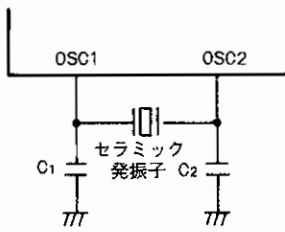


図1 セラミック発振回路

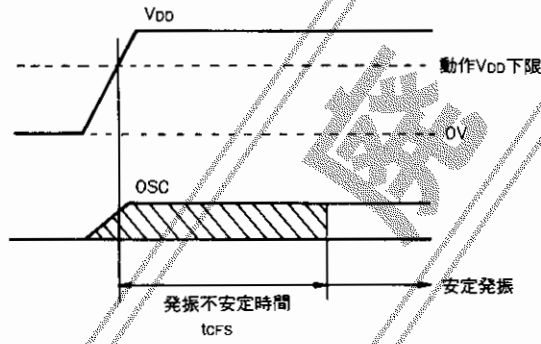


図2 発振安定時間

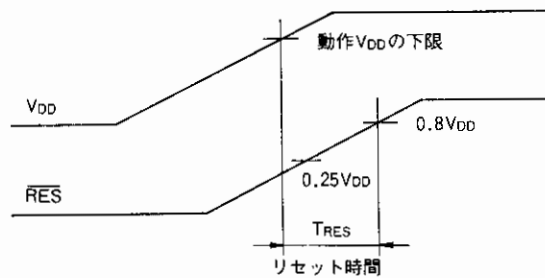
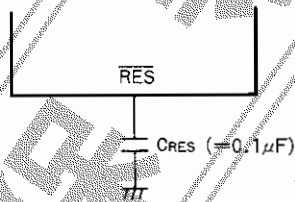


図3 リセット回路及びリセット時間

(注) 電源の立ち上がり時間がゼロのとき、 $C_{RES}=0.1\mu F$ にてリセット時間は10ms~100msとなる。
電源の立ち上がり時間が大きい場合、必ずリセット時間が10ms以上となるよう、 C_{RES} の値を増加する。

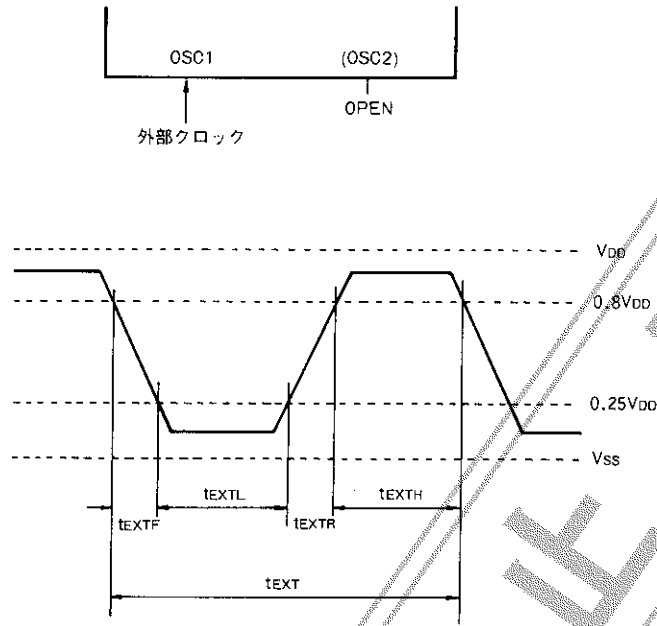


図4 外部クロック入力波形

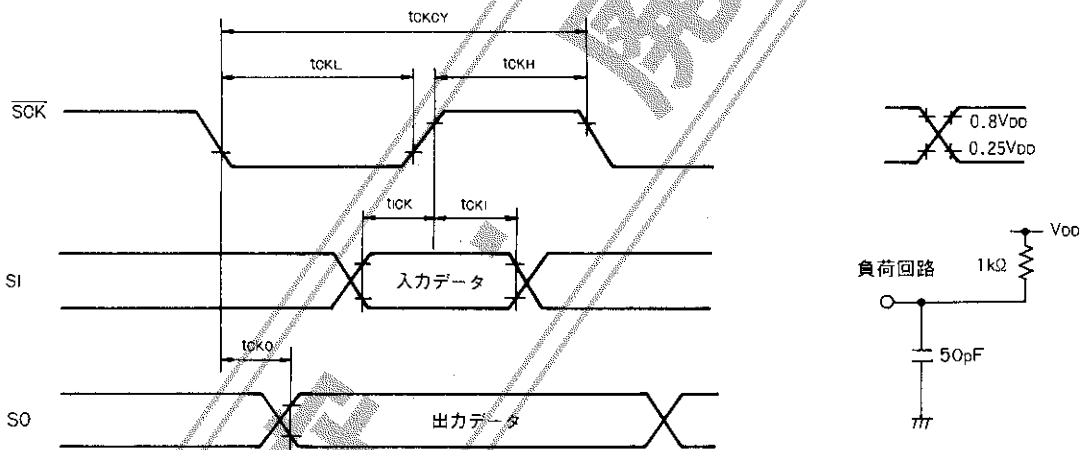
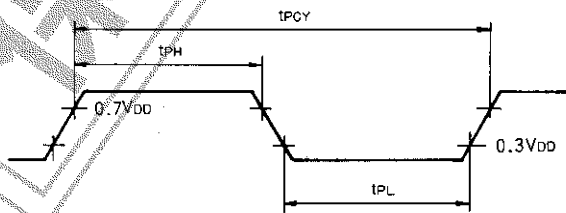


図5 シリアル入出力タイミング



負荷条件は図5と同じ

図6 ポートE0パルス出力タイミング

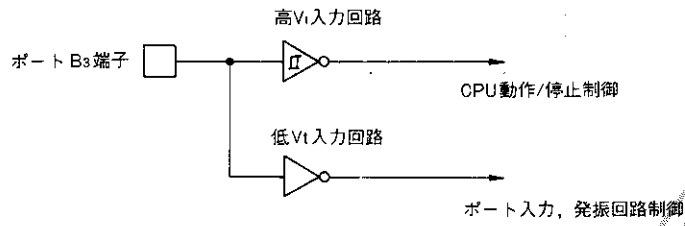


図7 ポートB3高Vt/低Vt入力回路

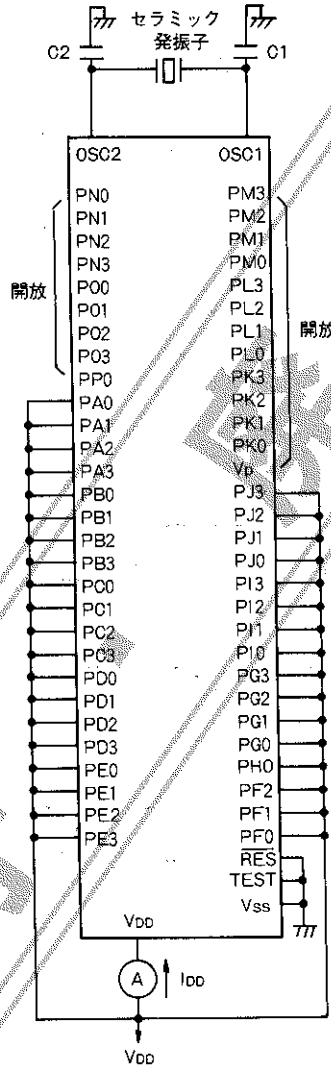


図8 IDDOP測定回路 (f=4MHz)

表2 LC6568H発振・分周オプション表
(選択可能な組み合わせを示す。必ず守ること) VDD=4.5~6.0V

回路形式	周波数	分周オプション (サイクルタイム)	備考
セラミック発振オプション	4 MHz	1/1 (1 μs)	
外部クロックオプション	384~4330kHz	1/1 (10.4~0.92 μs)	
セラミック発振オプション での外部クロック駆動	外部クロック駆動は出きない。外部クロック駆動を行なう場合は外部クロックオプションを指定すること。		

LC6568D, 6568H

プログラム評価上の注意点

・LC6568D/Hを評価用チップ(LC6595, LC65PG68)で評価する場合の注意点を以下に示す。

区分	項目	機能	
		量産チップ	評価用チップ
オプションに関する注意点	OSC分周器	1/1, 1/3, 1/4があり、オプションで1つを選択できる。 (注) Hバージョンの機種は1/4分周のみである。	DIV端子, 3 OR 4端子の2本で1/1, 1/3, 1/4を選択できる。 量産チップのオプション指定に合わせたDIV, 3 OR 4の設定を行なうこと。
	リセット時のポートC, D出力レベル	ポートC, Dを4ビット一括して“H”or “L”に選択できる。	CHL端子でポートC, DHL端子でポートDをそれぞれ“H”, “L”に選択できる。 量産チップのオプション指定に合わせたCHL, DHLの設定を行なうこと。
	ポート出力形式 PU/OD	1ビット単位でPU又はODを選択できる。	全てNch OD形式となり、プルアップ抵抗はない。 〔エバチップでの評価〕 エバチップボード上の外付抵抗(10kΩ)を必要ポートに接続すること。 〔シミュレーションチップでの評価〕 応用基板側の必要ポートに抵抗を付加すること。
	PU抵抗形式	“L”出力時(Pch TrがOFFする)、ハイインピーダンスになるPU抵抗である。	外付抵抗のため、“L”出力時もインピーダンスは変わらないPU抵抗である。 “L”出力時、量産チップではPch Trにはリーク電流しか流れないが、評価用チップではPU抵抗に電流が流れ続けるので注意が必要である。
	ポート出力形式 PD/OD	1ビット単位でPD又はODを選択できる。	全てPch OD形式となり、プルダウン抵抗はない。 〔エバチップでの評価〕 エバチップボード上の外付抵抗(100kΩ)を必要ポートに接続すること。 〔シミュレーションチップでの評価〕 応用基板側の必要ポートに抵抗を付加すること。 このとき、負荷電源も応用基板側で供給すること。
	ポート機能 ポート入出力 / コンパレータ入力	ポート入出力 / コンパレータ入力 オプションでオプション指定していない機能に対し、入力命令(IP, BP命令)を実行した場合オプション指定のしていないbitは“0”が入力される。	オプション指定していない機能の入力端子はフローティング(入力不確定)であり、入力命令(IP, BP, BNP命令)実行時の入力が不定となるのでオプション指定を行っていない機能での入力命令は絶対に使用しないこと。
発振に関する注意点	OSCの定数 -1	〔2端子CR発振〕 カタログの保証定数を付けると、カタログに記載された周波数で発振する。	〔2端子CR発振〕 量産チップとは、回路設計及び特性が異なる。ボリューム抵抗を調整することにより量産チップの発振周波数と合わせること。
		〔2端子セラミック発振〕 カタログの保証定数を付けると、カタログに記載された周波数で発振する。	〔2端子セラミック発振〕 量産チップとは、回路設計及び特性が異なる。また配線容量の影響等で発振が不安定となることがある。 使用条件に応じて外部定数の調整を行なうこと。
	OSCの定数 -2	〔2端子セラミック発振〕 帰還抵抗が内蔵されている。	〔2端子セラミック発振〕 帰還抵抗は内蔵されていない。 1MΩの帰還抵抗を外付けすること。

区分	項目	機能	
		量産チップ	評価用チップ
特性に関する注意点	OSCの発振周波数	カタログに示すような発振周波数特性を持っている。	量産チップとは、回路設計及び特性が異なる。特性に関する詳細評価はES, CSで評価すること。
	動作電流 スタンバイ電流	カタログに示すような電流特性を持っている。	量産チップとは、回路設計及び特性が異なる。スタンバイ電流の詳細な特性評価はできないが、欄外に示す方法によりスタンバイ機能の確認ができる。必ず実施すること。特性に関する詳細評価はES, CSで評価すること。
	動作電源電圧	カタログに記載された電源電圧範囲で動作する。	EPROM、その他のLSIの動作範囲に合わせて、評価用チップも $V_{DD}=5V \pm 5\%$ の範囲で使用すること。従って、量産マイコンの全 V_{DD} 範囲での評価はできない。
	動作周囲温度	カタログに記載された温度範囲で動作する。	評価用チップはエバチップ、シミュレーションチップとも $10^{\circ}\text{C} \sim 40^{\circ}\text{C}$ の温度範囲で使用すること。
I/Oポートの回路形式に関する注意点	ポートA	入力専用ポート形式。	入出力共通ポート形式なので、ポートAに対する出力命令(OP, SPB, RPB命令)は絶対に使わないこと。 また、エバチップボード上にはポートAのプルアップ抵抗用オプションスイッチがあるので必ずOFFにして評価すること。
	ポートF3	PF3は存在せず、出力命令(OP, SPB, RPB命令)を実行しても影響はしない。	PF3は存在し、出力命令(OP, SPB, RPB命令)で“0”を出力すると、割り込み回路に影響を与えるので、絶対にしないこと。
		IP命令を実行するとPF3は常に“0”を入力する。	IP命令を実行すると、OP命令等で“0”を出力しないかぎり、常に“1”を入力する。

その他の注意点

評価用チップはエバチップとゲートアレイの2チップ構成となっている。そのため、ゲートアレイで作っているブロック(割り込み、PH0)において量産チップと異なる動作・特性となるので以下の注意が必要である。

(a)動作

エバチップとゲートアレイでリセット解除が非同期となる場合がある(チップのパラツキおよびリセット端子への立上り波形によりパラツキあり)。非同期になるとプログラムスタート後数ms間割り込みおよびPH0の動作命令を受けつけないことが起こる。

プログラムスタート後、割り込みおよびPH0の動作命令を実行する場合は、その命令を受けつけたことを確認してから次の命令を実行するようなプログラム構成にする必要がある。

(b)特性

PB0/INT0~PB3/INT3 およびODオプション選択時のPH0は、量産チップでは+15V耐圧となっているが、評価用チップでは V_{DD} 耐圧のみである。

評価用チップでの評価時の上記5ポートは、 V_{DD} 以上かからないようにセット基板を改良して使用すること。

〈スタンバイ機能の確認方法〉

シミュレーションチップでは、スタンバイ電流を詳細に評価することはできないが、概略評価は可能であるので下記に示すような確認を必ず行なうこと。

(a) スタンバイ状態の確認

スタンバイしなければならない条件のとき、LSIがスタンバイ状態となっていることを必ず確認すること。

- (i) 2端子発振オプションを用いている場合、スタンバイ状態では発振が停止していることをオシロスコープにより確認すること。
- (ii) 消費電流による確認

スタンバイ状態となっているか否かを確認するに当たり、まずEPROMを抜き去ること。その状態でLSIの I_{DD} の大きさにより、スタンバイ状態か否かを判定できる。

LSIが動作状態であれば数100 μ A以上の電流が流れ、LSIがスタンバイ状態であればワーストケース(DIV, 3 OR 4, CHL, DHL全て“H”設定の時)で I_{DD} は150 μ A又はそれ以下になる(負荷電流を除く)。

また、DIV, 3 OR 4, CHL, DHL, ……等の信号を全て“L”に設定すると I_{DD} は20 μ A程度となる。

(b) 負荷電流の確認

スタンバイ状態で無駄な負荷電流を消費しないよう、HALT命令実行に先だち、入出力ポートの状態を電流が流れないようにプログラム設定すること。又、正しく設定されていることをオシロスコープ等により必ず確認すること。

- (i) HALT命令に先だち、負荷電流を浪費しない状態となるよう、出力ポートをプログラム設定すること。
- (ii) スタンバイ状態において入力ポート及び入出力ポートがフローティング(Hi-Z)状態とならないよう、プログラム処理や周辺回路設計を行なうこと。

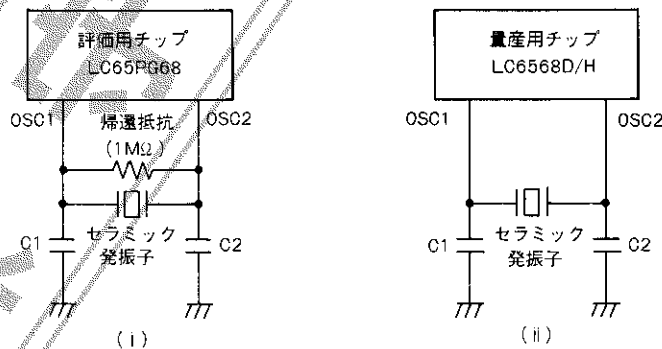
Hi-Zであれば、マイコンの入力回路部分に電流が流れ、電源電流を浪費することになり、コンデンサバックアップ等の応用ではバックアップ可能時間が、極度に短くなる(評価用チップではポート入出力/コンパレータ入力のオプション回路部で、フローティング部分ができるので、多少電流が多く流れる)。

EVA800-TB6568使用時のセラミック発振定数

エバチップボードEVA800-TB6568にてプログラムの開発をおこなう際には、評価する条件や、ケーブルの長さ等によってセラミック発振定数が異なるので、回路の浮遊容量により、容量値を調整して使用すること。

注) 評価用チップを2端子セラミック発振で使用する場合は、量産チップのように帰還抵抗が内蔵されていないので、下図のように帰還抵抗1M Ω を外付けして使用すること。

なお、R, Cの定数も量産チップと異なるので、回路の浮遊容量により、容量値を調整して使用すること。



評価用チップおよび量産用チップにおける2端子セラミック発振回路

付録 I LC6568 命令一覧 (機能別)

凡 例

AC : アキュムレータ
 ACT : アキュムレータ ビット
 CF : キャリーフラグ
 CTL : コントロール レジスタ
 DP : データポインタ
 E : E レジスタ
 EXTF : 外部割込み要求フラグ
 Fn : フラグ ビット n

M : メモリ
 M(DP) : DPでアドレスされるメモリ
 P(DP) : DP_Lで指定される入出力ポート
 PC : プログラム カウンタ
 STACK : スタック レジスタ
 TM : タイマ
 TMF : タイマ(内部) 割込み要求フラグ
 At, Ho, La : ワーキング レジスタ
 ZF : ゼロ フラグ
 P(DP_L) : DP_Lで指定される擬似入出力ポート

(), () : 内容を示す
 ← : 転送と方向
 + : 加 算
 - : 減 算
 ∧ : 論理積
 ∨ : 論理和
 ⊕ : 排他的論理和

命令群	ニ モ ニ ッ ク		命 令 コ ー ド		バイ ツル 数	動 作	動 作 説 明	影響を うける ステ ータス	備 考												
			D ₇ D ₆ D ₅ D ₄	D ₃ D ₂ D ₁ D ₀																	
ア ク ュ ム レ ー タ 操 作 命 令	CLA	Clear AC	1 1 0 0	0 0 0 0	1	AC ← 0	ACをクリアする	ZF	*1												
	CLC	Clear CF	1 1 1 0	0 0 0 1	1	CF ← 0	CFをクリアする	ZF	CF												
	STC	Set CF	1 1 1 1	0 0 0 1	1	CF ← 1	CFをセットする	ZF	CF												
	CMA	Complement AC	1 1 1 0	1 0 1 1	1	AC ← [AC]	ACの1の補数をとる	ZF													
	INC	Increment AC	0 0 0 0	1 1 1 0	1	AC ← (AC) + 1	ACを+1する	ZF	CF												
	DEC	Decrement AC	0 0 0 0	1 1 1 1	1	AC ← (AC) - 1	ACを-1する	ZF	CF												
	RAL	Rotate AC left through CF	0 0 0 0	0 0 0 1	1	AC ₀ ← (CF), AC _{n+1} ← (AC) _n , CF ← (AC) ₃	CFを含めてACを左シフトする	ZF	CF												
	TAE	Transfer AC to E	0 0 0 0	0 0 1 1	1	E ← (AC)	ACの内容をEに転送する														
	XAE	Exchange AC with E	0 0 0 0	1 1 0 1	1	(AC) ↔ (E)	ACとEの内容を交換する														
メ モ リ 操 作 命 令	INM	Increment M	0 0 1 0	1 1 1 0	1	M(DP) ← [M(DP)] + 1	M(DP)を+1する	ZF	CF												
	DEM	Decrement M	0 0 1 0	1 1 1 1	1	M(DP) ← [M(DP)] - 1	M(DP)を-1する	ZF	CF												
	SMB bit	Set M data bit	0 0 0 0	1 0 B ₁ B ₀	1	M(DP, B ₁ B ₀) ← 1	M(DP)のB ₁ B ₀ で指定されるビットをセットする														
	RMB bit	Reset M data bit	0 0 1 0	1 0 B ₁ B ₀	1	M(DP, B ₁ B ₀) ← 0	M(DP)のB ₁ B ₀ で指定されるビットをリセットする	ZF													
演 算 ・ 比 較 命 令	AD	Add M to AC	0 1 1 0	0 0 0 0	1	AC ← (AC) + [M(DP)]	ACとM(DP)の内容を2進加算し 結果をACに入れる	ZF	CF												
	ADC	Add M to AC with CF	0 0 1 0	0 0 0 0	1	AC ← (AC) + [M(DP)] + (CF)	AC, CFとM(DP)の内容を2進加算し 結果をACに入れる	ZF	CF												
	DAA	Decimal adjust AC in addition	1 1 1 0	0 1 1 0	1	AC ← (AC) + 6	ACに6を加える	ZF													
	DAS	Decimal adjust AC in subtraction	1 1 1 0	1 0 1 0	1	AC ← (AC) + 10	ACに10を加える	ZF													
	EXL	Exclusive or M to AC	1 1 1 1	0 1 0 1	1	AC ← (AC) ⊕ [M(DP)]	ACとM(DP)の内容の排他的論理和をとり 結果をACに入れる	ZF													
	AND	And M to AC	1 1 1 0	0 1 1 1	1	AC ← (AC) ∧ [M(DP)]	ACとM(DP)の内容の論理積をとり 結果をACに入れる	ZF													
	OR	Or M to AC	1 1 1 0	0 1 0 1	1	AC ← (AC) ∨ [M(DP)]	ACとM(DP)の内容の論理和をとり 結果をACに入れる	ZF													
	CM	Compare AC with M	1 1 1 1	1 0 1 1	1	[M(DP)] + (AC) + 1	ACとM(DP)の内容を比較し、CFとZFをセット、リセットする <table border="1" style="margin-left: 20px;"> <tr><td>大 小 関 係</td><td>CF</td><td>ZF</td></tr> <tr><td>[M(DP)] > (AC)</td><td>0</td><td>0</td></tr> <tr><td>[M(DP)] = (AC)</td><td>1</td><td>1</td></tr> <tr><td>[M(DP)] < (AC)</td><td>1</td><td>0</td></tr> </table>	大 小 関 係	CF	ZF	[M(DP)] > (AC)	0	0	[M(DP)] = (AC)	1	1	[M(DP)] < (AC)	1	0	ZF	CF
	大 小 関 係	CF	ZF																		
	[M(DP)] > (AC)	0	0																		
[M(DP)] = (AC)	1	1																			
[M(DP)] < (AC)	1	0																			
CI data	Compare AC with immediate data	0 0 1 0 0 1 0 0	1 1 0 0 1 3 1 2 1 1 0	2	1 3 1 2 1 1 0 + (AC) + 1	ACとイミディエト データ 1 3 1 2 1 1 0 を比較し ZFとCFをセット、リセットする <table border="1" style="margin-left: 20px;"> <tr><td>大 小 関 係</td><td>CF</td><td>ZF</td></tr> <tr><td>1 3 1 2 1 1 0 > (AC)</td><td>0</td><td>0</td></tr> <tr><td>1 3 1 2 1 1 0 = (AC)</td><td>1</td><td>1</td></tr> <tr><td>1 3 1 2 1 1 0 < (AC)</td><td>1</td><td>0</td></tr> </table>	大 小 関 係	CF	ZF	1 3 1 2 1 1 0 > (AC)	0	0	1 3 1 2 1 1 0 = (AC)	1	1	1 3 1 2 1 1 0 < (AC)	1	0	ZF	CF	
大 小 関 係	CF	ZF																			
1 3 1 2 1 1 0 > (AC)	0	0																			
1 3 1 2 1 1 0 = (AC)	1	1																			
1 3 1 2 1 1 0 < (AC)	1	0																			
CLI data	Compare DPL with immediate data	0 0 1 0 0 1 0 1	1 1 0 0 1 3 1 2 1 1 0	2	(DP _L) ∨ 1 3 1 2 1 1 0	DP _L の内容とイミディエト データとを比較する	ZF														
ロ ド ・ ス ト ア 命 令	LI data	Load AC with immediate data	1 1 1 0	1 3 1 2 1 1 0	1	AC ← 1 3 1 2 1 1 0	ACにイミディエト データ 1 3 1 2 1 1 0 をロードする	ZF	*1												
	S	Store AC to M	0 0 0 0	0 0 1 0	1	M(DP) ← (AC)	ACの内容をM(DP)にストアする														
	L	Load AC from M	0 0 1 0	0 0 0 1	1	AC ← [M(DP)]	M(DP)の内容をACにロードする	ZF													
	XM data	Exchange AC with M, then modify DP _H with immediate data	1 0 1 0	0 M ₂ M ₁ M ₀	2	(AC) ↔ [M(DP)] DP _H ← (DP _H) ∨ 0 M ₂ M ₁ M ₀	ACとM(DP)の内容を交換する。その後DP _H を(DP _H) ∨ 0 M ₂ M ₁ M ₀ で置きかえる	ZF	ZFは(DP _H) ∨ 0 M ₂ M ₁ M ₀ の結果による												
	X	Exchange AC with M	1 0 1 0	0 0 0 0	2	(AC) ↔ [M(DP)]	ACとM(DP)の内容を交換する	ZF	ZFは命令実行時のDP _H の内容による												
	XI	Exchange AC with M, then increment DP _L	1 1 1 1	1 1 1 0	2	(AC) ↔ [M(DP)] DP _L ← (DP _L) + 1	ACとM(DP)の内容を交換する。その後DP _L の内容を+1する	ZF	ZFはDP _L +1の結果による												
	XD	Exchange AC with M, then decrement DP _L	1 1 1 1	1 1 1 1	2	(AC) ↔ [M(DP)] DP _L ← (DP _L) - 1	ACとM(DP)の内容を交換する。その後DP _L の内容を-1する	ZF	ZFはDP _L -1の結果による												
	RTBL	Read table data from program ROM	0 1 1 0	0 0 1 1	2	AC, E ← PCH (PCh, E, AC)	PCのうち下位8ビットをE, ACで置きかえた番地のROMデータをAC, Eにロードする														

LC6568D, 6568H

命令群	ニ ー モ ニ ッ ク		命 令 コ ー ド		バイト数	サイクル数	動 作	動 作 説 明	影響をうけるステータス	備 考
			D ₇ D ₆ D ₅ D ₄	D ₃ D ₂ D ₁ D ₀						
データ・ポインタ操作命令	LDZ data	Load DPH with Zero and DPL with immediate data respectively	1 0 0 0	1 3 1 2 1 1 0	1	1	DPH ← 0 DPL ← 1 3 1 2 1 1 0	DPHにゼロを、DPLにイミディエートデータ 1 3 1 2 1 1 0 をそれぞれロードする		
	LHI data	Load DPH with immediate data	0 1 0 0	1 3 1 2 1 1 0	1	1	DPH ← 1 3 1 2 1 1 0	DPHにイミディエートデータ 1 3 1 2 1 1 0 をロードする		
	IND	Increment DPL	1 1 1 0	1 1 1 0 0	1	1	DPL ← (DPL) + 1	DPLの内容を+1する	ZF	
	DED	Decrement DPL	1 1 1 0	1 1 1 1 0	1	1	DPL ← (DPL) - 1	DPLの内容を-1する	ZF	
	TAL	Transfer AC to DPL	1 1 1 1	0 1 1 1 1	1	1	DPL ← (AC)	ACの内容をDPLに転送する		
	TLA	Transfer DPL to AC	1 1 1 0	1 0 0 1 1	1	1	AC ← (DPL)	DPLの内容をACに転送する	ZF	
	XAH	Exchange AC with DPH	0 0 1 0	0 0 1 1 1	1	1	(AC) ⇄ (DPH)	ACとDPHの内容を交換する		
ワーキングレジスタ操作命令	XAt	Exchange AC with working register At	1 1 1 0	0 1 1 0 0	1	1	(AC) ⇄ (A0)	t ₁₀ で指定されるワーキングレジスタ A0, A1, A2 又は A3 と ACの内容を交換する		
	XA0		1 1 1 0	0 1 0 0 0	1	1	(AC) ⇄ (A1)			
	XA1		1 1 1 0	0 1 0 0 0	1	1	(AC) ⇄ (A2)			
	XA2		1 1 1 0	0 1 0 0 0	1	1	(AC) ⇄ (A3)			
	XHa	Exchange DPH with working register Ha	1 1 1 1	1 1 0 0 0	1	1	(DPH) ⇄ (H0)	aで指定されるワーキングレジスタ H0 又は H1 と DPHの内容を交換する		
	XH1		1 1 1 1	1 1 0 0 0	1	1	(DPH) ⇄ (H1)			
XLa	Exchange DPL with working register La	1 1 1 1	0 1 0 0 0	1	1	(DPL) ⇄ (L0)	aで指定されるワーキングレジスタ L0 又は L1 と DPLの内容を交換する			
	XL0		1 1 1 1	0 1 0 0 0	1	1	(DPL) ⇄ (L1)			
	XL1		1 1 1 1	0 1 0 0 0	1	1				
フラグ操作命令	SFB flag	Set flag bit	0 1 0 1	B ₃ B ₂ B ₁ B ₀	1	1	F _n ← 1	B ₃ B ₂ B ₁ B ₀ で指定されるフラグをセットする		
	RFB flag	Reset flag bit	0 0 0 1	B ₃ B ₂ B ₁ B ₀	1	1	F _n ← 0	B ₃ B ₂ B ₁ B ₀ で指定されるフラグをリセットする	ZF	フラグをF0~F3, F4~F7, F8~F11, F12~F15に4分割し、指定されるフラグがふくまれる4ビットによりZFがセット、リセットされる
ジャンプ・サブルーチン命令	JMP addr	Jump in the current bank	0 1 1 0	1 P ₀ P ₉ P ₈ P ₇ P ₆ P ₅ P ₄	2	2	PC ← PC ₁₂ PC ₁₁ (又は PC ₁₁) P ₁₀ P ₉ P ₈ P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀	PC ₁₂ PC ₁₁ (又は PC ₁₁) とイミディエートデータ P ₁₀ P ₉ P ₈ P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀ で指定される番地へジャンプする		BANK及びSB命令と連続して実行したときバンクが変化する
	JPEA	Jump in the current page modified by E and AC	1 1 1 1	1 0 1 0 0	1	1	PC ₇ ~ 0 ← E, AC	PCのうち下位8ビットをE, ACで置きかえた番地へジャンプする		
	CZP addr	Call subroutine in the zero page	1 0 1 1	P ₃ P ₂ P ₁ P ₀	1	1	STACK ← (PC) + 1 PC ₁₂ ~ 6, PC ₁ ~ 0 ← 0 PC ₅ ~ 2 ← P ₃ P ₂ P ₁ P ₀	Bank 0の0ページ内のサブルーチンをコールする		
	CAL addr	Call subroutine in the zero bank	1 0 1 0	1 P ₀ P ₉ P ₈ P ₇ P ₆ P ₅ P ₄	2	2	STACK ← (PC) + 2 PC ₁₂ ~ 0 ← 0 P ₁₀ P ₉ P ₈ P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀	Bank 0内のサブルーチンをコールする		
	RT	Return from subroutine	0 1 1 0	0 0 1 0 0	1	1	PC ← (STACK)	サブルーチンからリターンする		
	RTI	Return from interrupt routine	0 0 1 0	0 0 1 0 0	1	1	PC ← (STACK) CF, ZF ← CSF, ZSF	インタラプト処理ルーチンからリターンする	ZF CF	
	BANK	Change bank	1 1 1 1	1 1 0 1 1	1	1	PC ₁₁ ← (PC ₁₁) P(DPL)	バンクを変更する(直後のJMP命令にのみ有効) 擬似/Oポートの指定(直後のIP, OP, SPB, RPB, BP, BNP命令に有効)		
	SB	Set bank	0 1 1 0	0 1 1 1 0	1	1	PC ₁₂ PC ₁₁ ← 1, 1 0	バンクを変更する 直後にJMP命令が無い場合、無効となる		
分岐命令	BAAt addr	Branch on AC bit	0 1 1 1	0 0 1 1 0	2	2	PC ₇ ~ 0 ← P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀ if AC ₁ = 1	ACのイミディエートデータ t ₁₀ で指定されるビットが1のとき、同一ページ内のP ₇ ~P ₀ で指定される番地へ分岐する		ニーモニックはtの値によりBA0~BA3となる
	BNAt addr	Branch on no AC bit	0 0 1 1	0 0 1 1 0	2	2	PC ₇ ~ 0 ← P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀ if AC ₁ = 0	ACのイミディエートデータ t ₁₀ で指定されるビットが0のとき、同一ページ内のP ₇ ~P ₀ で指定される番地へ分岐する		ニーモニックはtの値によりBNA0~BNA3となる
	BMAt addr	Branch on M bit	0 1 1 1	0 1 1 1 0	2	2	PC ₇ ~ 0 ← P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀ if (M(DP, t ₁₀)) = 1	M(DP)のイミディエートデータ t ₁₀ で指定されるビットが1のとき、同一ページ内のP ₇ ~P ₀ で指定される番地へ分岐する		ニーモニックはtの値によりBMA0~BMA3となる
	BNMAt addr	Branch on no M bit	0 0 1 1	0 1 1 1 0	2	2	PC ₇ ~ 0 ← P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀ if (M(DP, t ₁₀)) = 0	M(DP)のイミディエートデータ t ₁₀ で指定されるビットが0のとき、同一ページ内のP ₇ ~P ₀ で指定される番地へ分岐する		ニーモニックはtの値によりBNMA0~BNMA3となる
	BPt addr	Branch on Port bit	0 1 1 1	1 0 1 1 0	2	2	PC ₇ ~ 0 ← P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀ if (P(DP, t ₁₀)) = 1	ポートP(DP)のイミディエートデータ t ₁₀ で指定されるビットが1のとき、同一ページ内のP ₇ ~P ₀ で指定される番地へ分岐する		ニーモニックはtの値によりBPA0~BPA3となる
	BNPt addr	Branch on no Port bit	0 0 1 1	1 0 1 1 0	2	2	PC ₇ ~ 0 ← P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀ if (P(DP, t ₁₀)) = 0	ポートP(DP)のイミディエートデータ t ₁₀ で指定されるビットが0のとき、同一ページ内のP ₇ ~P ₀ で指定される番地へ分岐する		ニーモニックはtの値によりBNPA0~BNPA3となる

命令群	ニ ー モ ニ ッ ク		命 令 コ ー ド		バ イ ト 数	サ イ ク ル 数	動 作	動 作 説 明	影 響 を う け る ス テ ー タ ス	備 考
			D ₇ D ₆ D ₅ D ₄	D ₃ D ₂ D ₁ D ₀						
分岐命令	BTM addr	Branch on timer	0 1 1 1 P ₇ P ₆ P ₅ P ₄	1 1 0 0 P ₃ P ₂ P ₁ P ₀	2	2	PC _{7~0} ← P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀ if TMF = 1 then TMF ← 0	TMF が1のとき同一ページ内のP ₇ ~P ₀ で指定される番地へ分岐する TMF をリセットする	TMF	
	BNTM addr	Branch on no timer	0 0 1 1 P ₇ P ₆ P ₅ P ₄	1 1 0 0 P ₃ P ₂ P ₁ P ₀	2	2	PC _{7~0} ← P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀ if TMF = 0 then TMF ← 0	TMF が0のとき同一ページ内のP ₇ ~P ₀ で指定される番地へ分岐する TMF をリセットする	TMF	
	BI addr	Branch on interrupt	0 1 1 1 P ₇ P ₆ P ₅ P ₄	1 1 0 1 P ₃ P ₂ P ₁ P ₀	2	2	PC _{7~0} ← P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀ if EXTF = 1 then EXTF ← 0	EXTF が1のとき同一ページ内のP ₇ ~P ₀ で指定される番地へ分岐する EXTF をリセットする	EXTF	
	BNI addr	Branch on no interrupt	0 0 1 1 P ₇ P ₆ P ₅ P ₄	1 1 0 1 P ₃ P ₂ P ₁ P ₀	2	2	PC _{7~0} ← P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀ if EXTF = 0 then EXTF ← 0	EXTF が0のとき同一ページ内のP ₇ ~P ₀ で指定される番地へ分岐する EXTF をリセットする	EXTF	
	BC addr	Branch on CF	0 1 1 1 P ₇ P ₆ P ₅ P ₄	1 1 1 1 P ₃ P ₂ P ₁ P ₀	2	2	PC _{7~0} ← P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀ if CF = 1	CF が1のとき同一ページ内のP ₇ ~P ₀ で指定される番地へ分岐する		
	BNC addr	Branch on no CF	0 0 1 1 P ₇ P ₆ P ₅ P ₄	1 1 1 1 P ₃ P ₂ P ₁ P ₀	2	2	PC _{7~0} ← P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀ if CF = 0	CF が0のとき同一ページ内のP ₇ ~P ₀ で指定される番地へ分岐する		
	BZ addr	Branch on ZF	0 1 1 1 P ₇ P ₆ P ₅ P ₄	1 1 1 0 P ₃ P ₂ P ₁ P ₀	2	2	PC _{7~0} ← P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀ if ZF = 1	ZF が1のとき同一ページ内のP ₇ ~P ₀ で指定される番地へ分岐する		
	BNZ addr	Branch on no ZF	0 0 1 1 P ₇ P ₆ P ₅ P ₄	1 1 1 0 P ₃ P ₂ P ₁ P ₀	2	2	PC _{7~0} ← P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀ if ZF = 0	ZF が0のとき同一ページ内のP ₇ ~P ₀ で指定される番地へ分岐する		
	BFn addr	Branch on flag bit	1 1 0 1 P ₇ P ₆ P ₅ P ₄	n ₃ n ₂ n ₁ n ₀ P ₃ P ₂ P ₁ P ₀	2	2	PC _{7~0} ← P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀ if F _n = 1	16個のフラグのうちn ₃ n ₂ n ₁ n ₀ で指定されるビットが1のとき同一ページ内のP ₇ ~P ₀ で指定される番地へ分岐する		ニーモニックはnの値によりBF0~BF15となる
	BNFn addr	Branch on no flag bit	1 0 0 1 P ₇ P ₆ P ₅ P ₄	n ₃ n ₂ n ₁ n ₀ P ₃ P ₂ P ₁ P ₀	2	2	PC _{7~0} ← P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀ if F _n = 0	16個のフラグのうちn ₃ n ₂ n ₁ n ₀ で指定されるビットが0のとき同一ページ内のP ₇ ~P ₀ で指定される番地へ分岐する		ニーモニックはnの値によりBNF0~BNF15となる
入出力命令	IP	Input port to AC	0 0 0 0	1 1 0 0	1	1	AC ← {P(DPL)}	ポートP(DPL)の内容をACに入力する	ZF	
	OP	Output AC to port	0 1 1 0	0 0 0 1	1	1	P(DPL) ← (AC)	ACの内容をポートP(DPL)へ出力する		
	SPB bit	Set port bit	0 0 0 0	0 1 B ₁ B ₀	1	2	P(DPL.B ₁ B ₀) ← 1	ポートP(DPL)のイミディエトデータB ₁ B ₀ で指定されるビットをセットする		この命令を実行するとレジスタが破壊される
	RPB bit	Reset port bit	0 0 1 0	0 1 B ₁ B ₀	1	2	P(DPL.B ₁ B ₀) ← 0	ポートP(DPL)のイミディエトデータB ₁ B ₀ で指定されるビットをリセットする	ZF	この命令を実行するとレジスタが破壊される
その他の	SCTL bit	Set control register bit(S)	0 0 1 0 1 0 0 0	1 1 0 0 B ₃ B ₂ B ₁ B ₀	2	2	CTL ← (CTL) V B ₃ B ₂ B ₁ B ₀	コントロールレジスタのうちB ₃ B ₂ B ₁ B ₀ で指定されたビット(複数)をセットする		
	RCTL bit	Reset control register bit(S)	0 0 1 0 1 0 0 1	1 1 0 0 B ₃ B ₂ B ₁ B ₀	2	2	CTL ← (CTL) Λ B ₃ B ₂ B ₁ B ₀	コントロールレジスタのうちB ₃ B ₂ B ₁ B ₀ で指定されたビット(複数)をリセットする	ZF	
	WTTM	Write timer	1 1 1 1	1 0 0 1	1	1	TM ← (E) (AC) TMF ← 0	E, ACの内容をタイマにセットする TMF をリセットする	TMF	
	HALT	Halt	1 1 1 1	0 1 1 0	1	1	Halt	スタンバイモードの設定をする		
	NOP	No operation	0 0 0 0	0 0 0 0	1	1	No operation	何も実行せず 1マシサイクル消費する		

* 1. LI, CLA命令をたて積みした場合、2番目以降はNOPと等価になる。

この資料の情報(掲載回路および回路定数を含む)は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。

本書記載製品が、外国為替および外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。

Information (including circuit diagrams and circuit parameters) herein is for example only; it is not guaranteed for volume production. SANYO believes information herein is accurate and reliable, but no guarantees are made or implied regarding its use or any infringements of intellectual property rights or other rights of third parties.