

Only for ZIHUAN



**SUNPLUS**

**SPHE8202R**  
**Design Guide**

*V2.0 – JUN, 2007*

Only for ZIHUAN

**Important Notice**

SUNPLUS TECHNOLOGY CO. reserves the right to change this documentation without prior notice. Information provided by SUNPLUS TECHNOLOGY CO. is believed to be accurate and reliable. However, SUNPLUS TECHNOLOGY CO. makes no warranty for any errors which may appear in this document. Contact SUNPLUS TECHNOLOGY CO. to obtain the latest version of device specifications before placing your order. No responsibility is assumed by SUNPLUS TECHNOLOGY CO. for any infringement of patent or other rights of third parties which may result from its use. In addition, SUNPLUS products are not authorized for use as critical components in life support systems or aviation systems, where a malfunction or failure of the product may reasonably be expected to result in significant injury to the user, without the express written approval of Sunplus.

Only for ZIHUAN

Only for ZIHUAN

**Revision History**

Revision	Date	By	Remark	Page Number(s)
V1.0	2007/04	Ronnie	First	
V2.0	2007/06	Yangli	Add 3.9/4.4	13/17

Only for ZIHUAN

Only for ZIHUAN

## Table of Content

	<u>PAGE</u>
SPHE8202R .....	1
Design Guide .....	1
<b>1 System Overview</b> .....	<b>3</b>
1.1 System Block Diagram .....	3
1.2 System Feature .....	4
<b>2 Component Layout</b> .....	<b>5</b>
<b>3 System Design Guideline</b> .....	<b>6</b>
3.1 Video .....	6
3.2 SDRAM .....	7
3.3 SPI Flash (Serial Peripheral Interface Flash) .....	8
3.4 Audio .....	8
3.5 RESET Circuit .....	9
3.6 UART .....	10
3.7 Card Reader .....	10
3.8 Servo (OPU & Motor Driver) .....	10
3.9 Servo DVDVR/CDVR Application .....	13
<b>4 EMI Considerations</b> .....	<b>14</b>
4.1 Crystal .....	14
4.2 Loader Control Signals .....	14
4.3 PCB Layout .....	15
4.4 如何改善 USB 端口的 EMI 问题 .....	17

---

---

## 1 System Overview

---

---

### 1.1 System Block Diagram

SPHE8202R 支援 DVD/CD servo、TV encoder、Audio ADC 1ch、internal Audio DAC 5.1ch、GAME、USB 2.0 (Full Speed)、3 in1 Card reader 等等...，图 1-1 为 SPHE8202R 系统方块图。

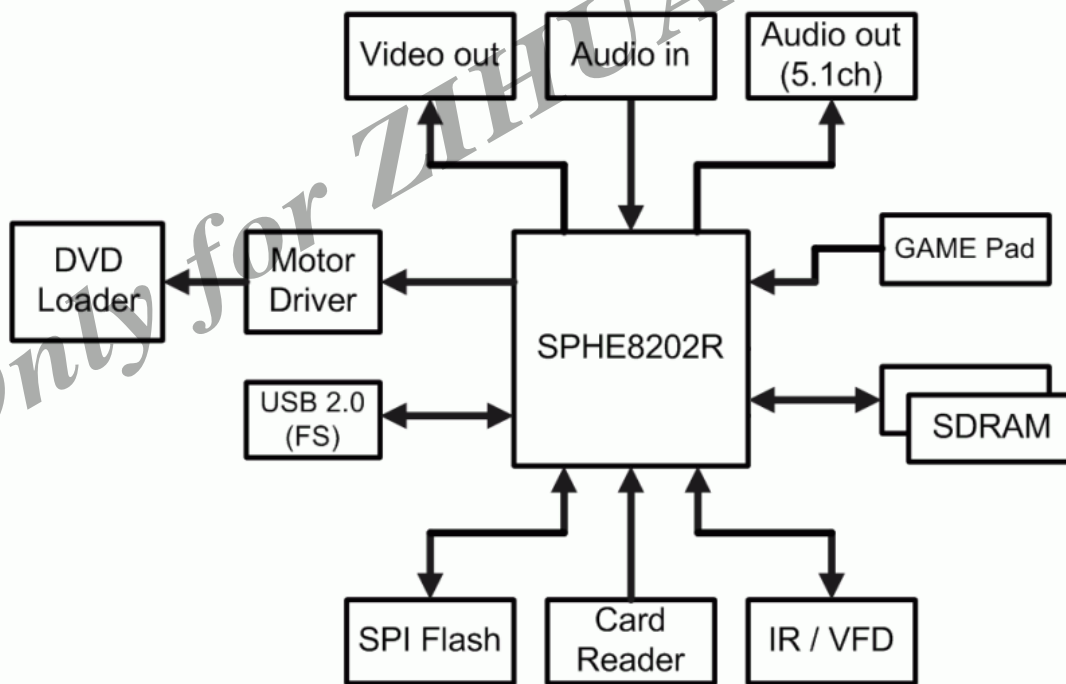


Figure 1-1 SPHE8202R System Block Diagram

## 1.2 System Feature

- SOC (RF integrated)
- Support MPEG4
- Support USB 2.0 (Full Speed)
- Support 3 in 1 Card Reader (SD, MS, MS-pro, MMC)
- SDRAM: Support 16M bits to 256M bits, with 16 bits mode
- ROM/FLASH: Support SPI flash
- Support boot-trap mode
- TV: 4 TV DAC output (full current output)
- Audio: internal DAC 5.1ch output, support AC3, DTS and SPDIF OUT
- MIC: Support internal ADC (1ch) function
- Support IR / VFD interface
- Support 8bits game pad
- Support full color Native32 game
- Support CD-Ripping

## 2 Component Layout

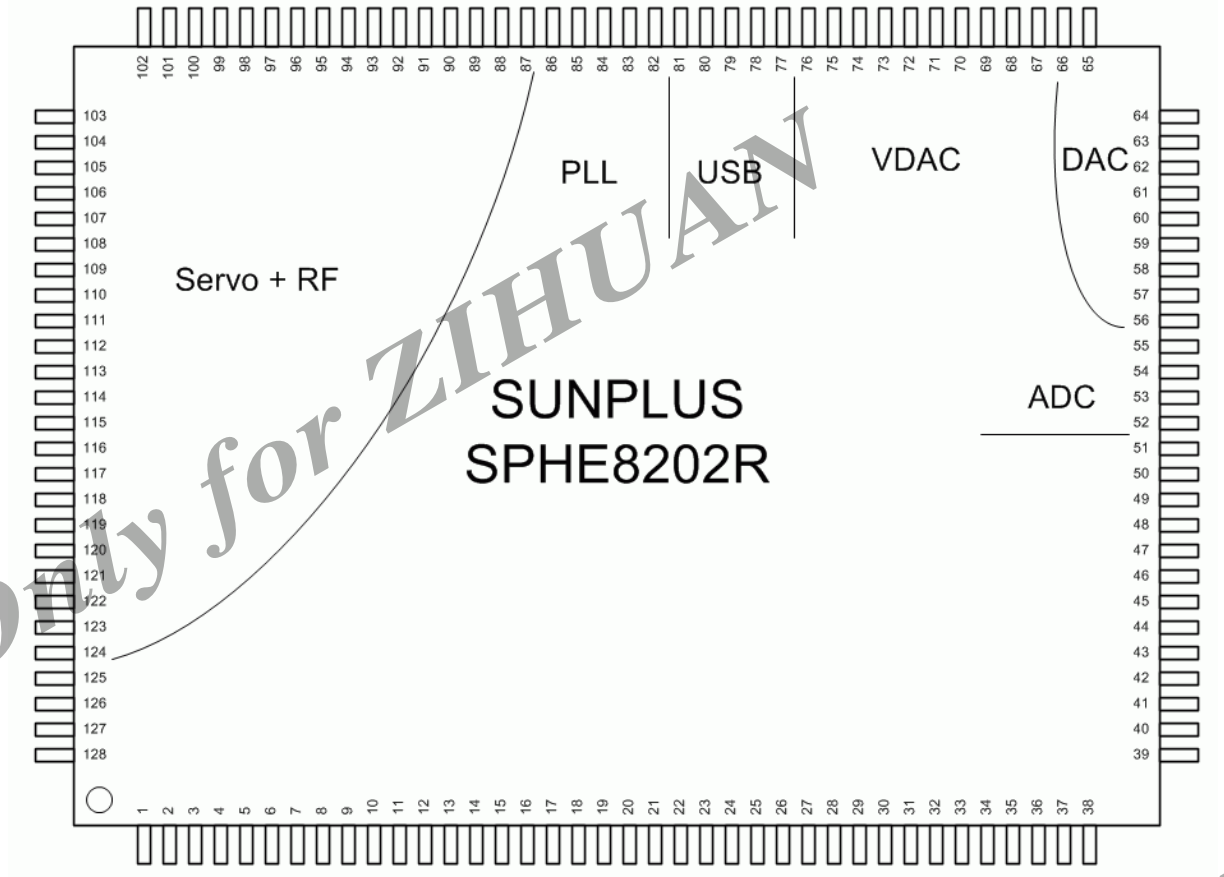


Figure 2-1 SPHE8202R Layout (Top View)

## 3 System Design Guideline

### 3.1 Video

- (1) SPHE8202R 在 Video 預設為全電流模式，因此建議 filter 相關參數如圖 3-1，另外 COMP 輸出接的參考電容為 1uF，Rset 為 1K ohm。

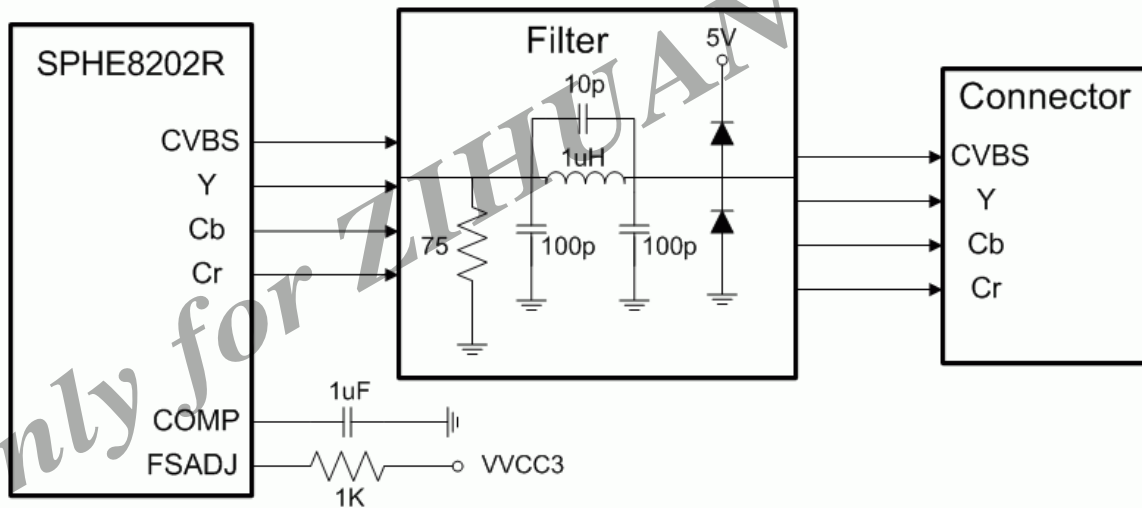


Figure 3-1 SD DAC - buffer + filter + protector

- (2) SPHE8202R 的 Video power 由於是較耗电部分，因此務必從 3,3V 分支，並且接上大電容，在 SPHE8202R 端每一 Video power pin 前皆要有 bypass 電容。

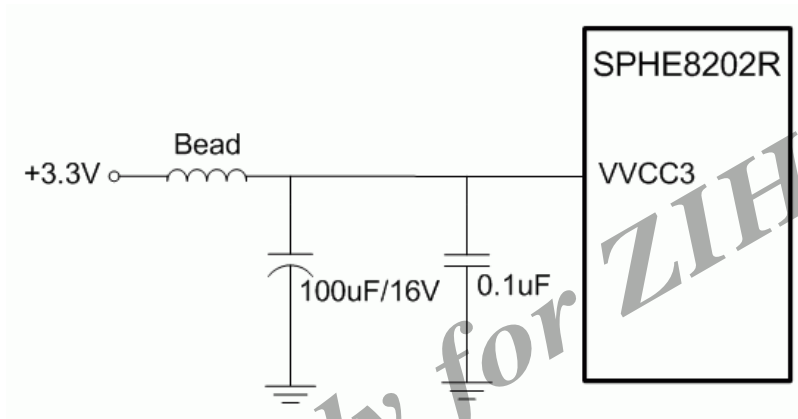


Figure 3-2 HD DAC - HPA00191DR



## 3.2 SDRAM

(1) SPHE8202R support 16-bit mode , 如图 3-3。

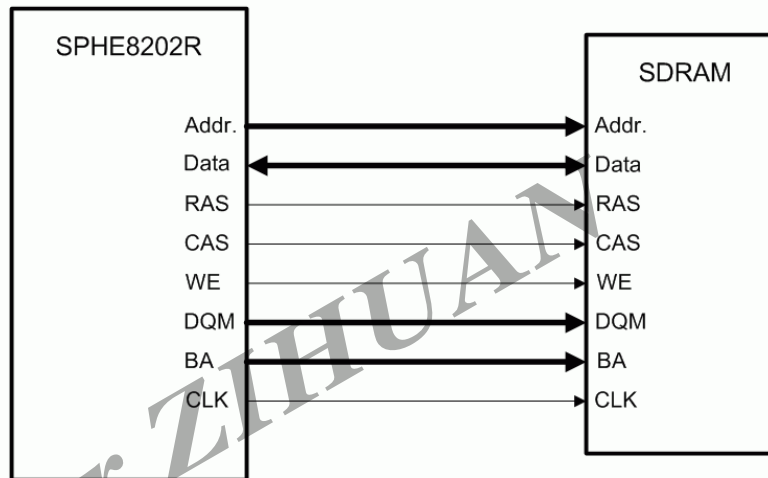


Figure 3-3 SDRAM 16-bit mode

(2) 另外，建议在 SDRAM data bus 加 damping，阻值为 33 ohm，在 SDRAM clock 上最好加 RC (R 为 33 ohm，C 为 10 pF) 电路，这些都要尽量靠近 SPHE8202R 来放置。

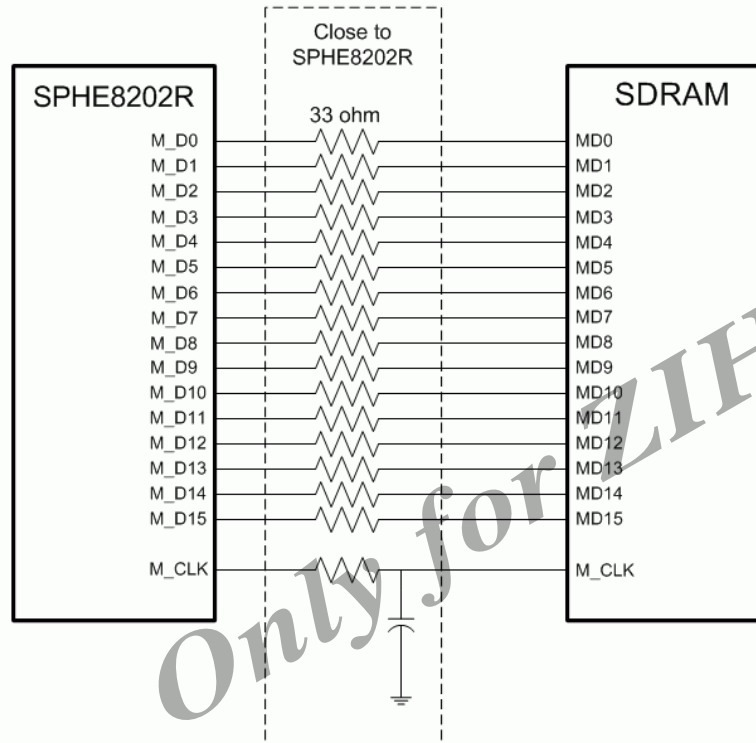


Figure 3-4 SDRAM data bus and clock

### 3.3 SPI Flash (Serial Peripheral Interface Flash)

在 SPI flash 部份建议电路如图 3-5，其中 R1 为 10K ohm，R2 为 0 ohm。

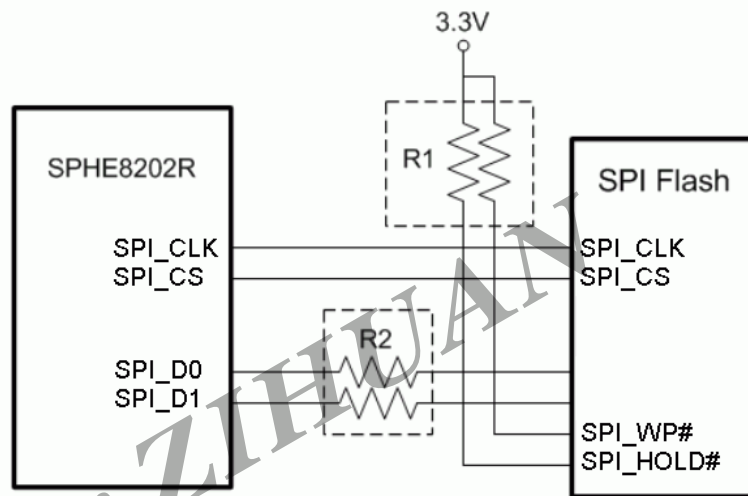


Figure 3-5 SPI Flash Circuit

### 3.4 Audio

(1) SPHE8202R 在 Audio 部分有 DAC 与 ADC，两组 power 一定要分开，同样从 3,3V 分支两路供给，ground 的部份则接在一起如图 3-6。

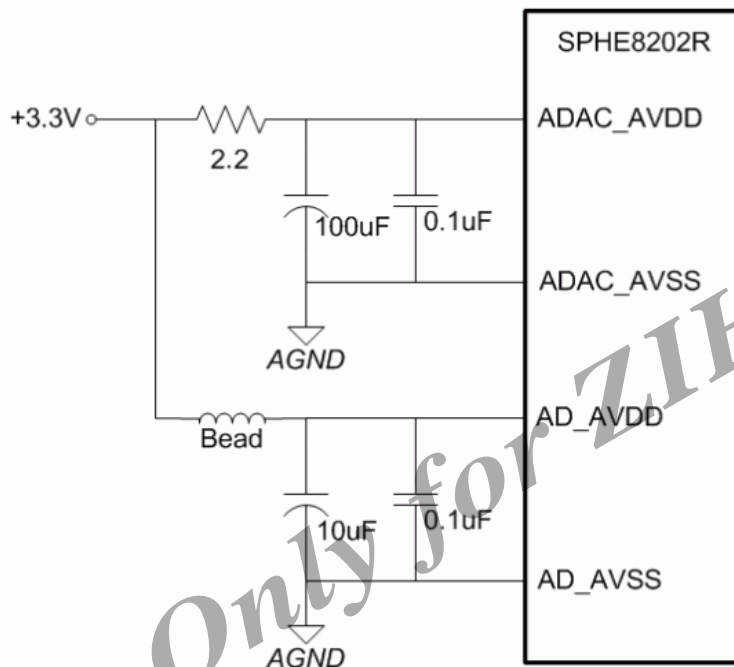


Figure 3-6 Audio power

(2) SPHE8202R Audio DAC output 由于有内置 Audio ADC 的关系，因此无法用软件方式修改 mapping，所以请依照 release 的原理图上方式来制作板子，严禁随意修改 Audio DAC output 的 mapping。

8202R Pin Number	Function
56	CENTER
57	SW
59	RS
60	LS
65	FL
66	FR

### 3.5 RESET Circuit

为了确保整个系统能正常工作，建议系统的 reset circuit 能依照图 3-7 来制作。另外，也可将部分电路采用 reset IC 来取代，这类 reset IC 优点是电路可简化，减少板子 layout 面积，以及可缩短重复开关机的 timing 等等。

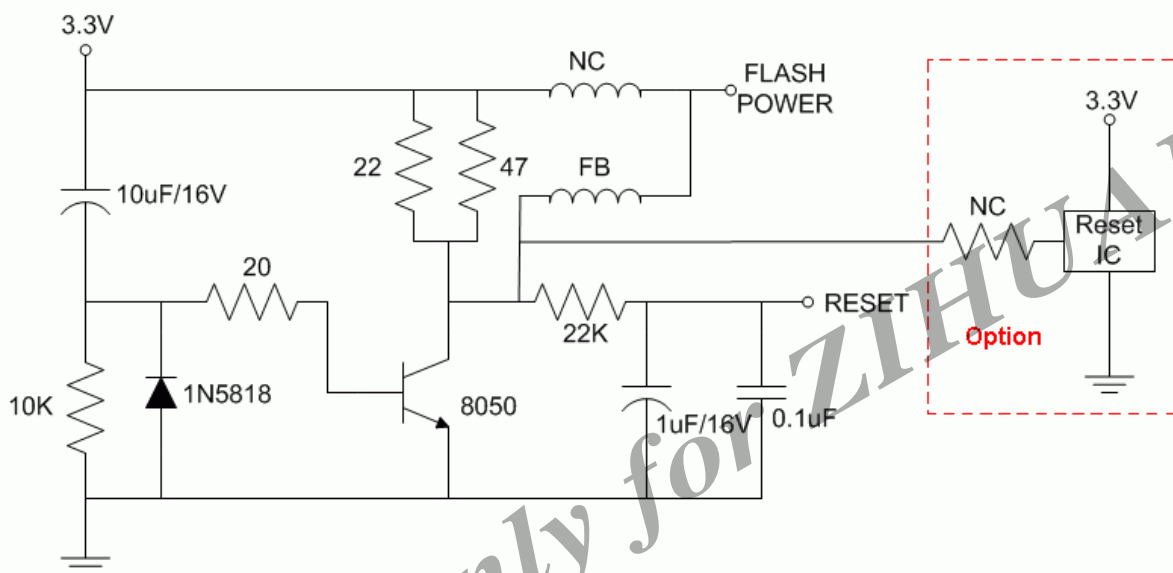


Figure 3-7 建议系统的 Reset Circuit

### 3.6 UART

为了日后 debug SPHE8202R 或是升级 code 等可较便利，板子上一定要预留 UART。

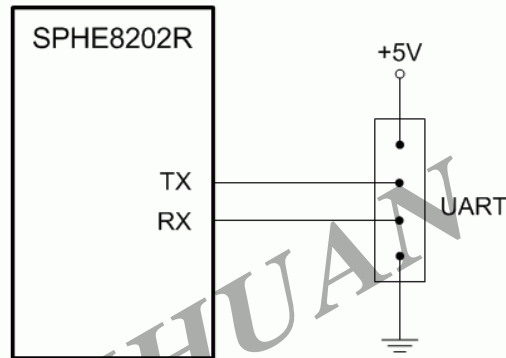


Figure 3-8 UART port

### 3.7 Card Reader

在 8202R 上 card reader interface 中 card sense 只有一根 pin，这部分与以往的设计会有些不同，因此在 card reader 线路上必须做小幅度的修改，详细情形请参考建议的原理图。

### 3.8 Servo (OPU & Motor Driver)

在 Servo 部份，由于主要为模拟讯号，要注意的是良好的 power 及完整的 ground，并避免高频走线的干扰。

#### (1) A+5V Power

提供给 OPU 的 power，因此稳定性很重要，在 connector 前加上一电解电容及进 pad 前留 Bypass 电容。

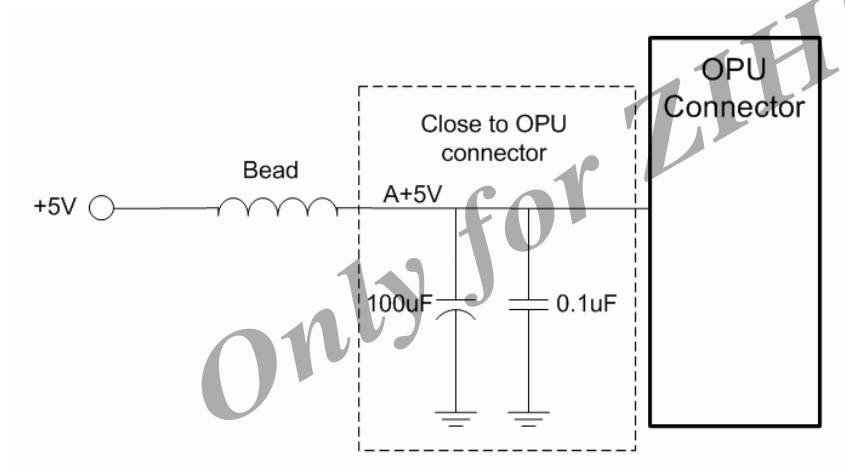


Figure 3-9 A+5V power

## (2) M+5V Power

提供给 motor driver 的 power，由于为主要耗电组件，因此稳压电容非常的重要，务必在进 driver 前配置大型电解电容。并注意此 power 分支不宜和其它 5V 系统共享，以免 power ripple 过大。

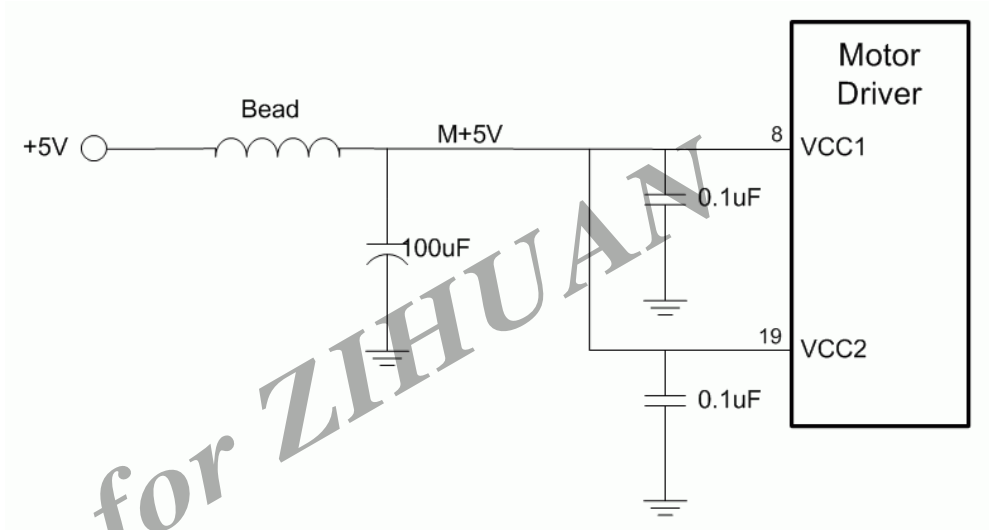


Figure 3-10 M+5V power

## (3) RF3.3V power

进 SPHE8202R 各 pad 前需放置 bypass 电容，主 path 在进 SPHE8202R 前也需一电解电容。

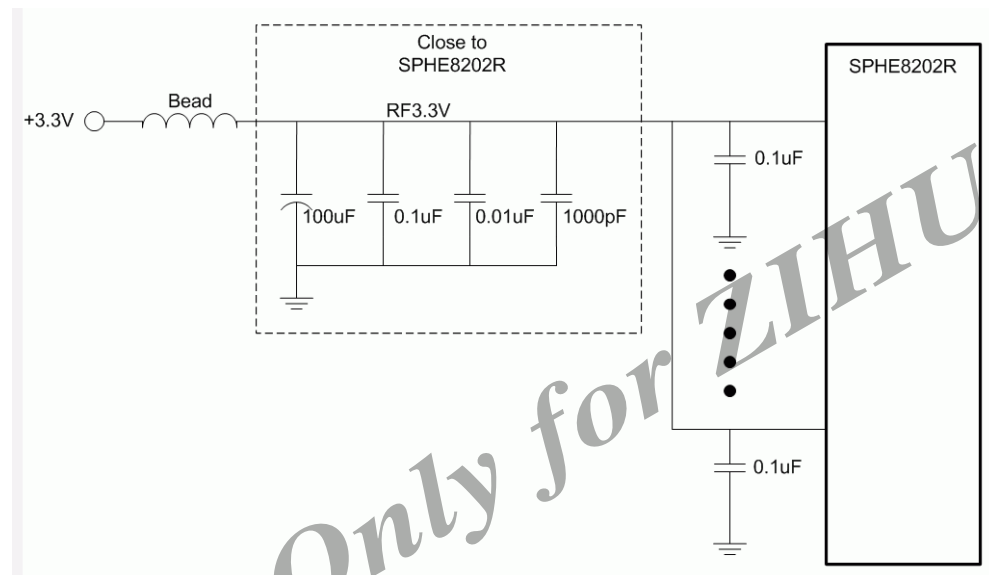


Figure 3-11 RF3.3V power

## (4) RF 讯号

RF 讯号的质量对读碟性能会有极大的影响。因此建议 PUHRF 讯号也能加上 ground trace 做屏蔽，并且走线不要穿孔。PUHRF 在进 SPHE8202R 前会经过一电容做 AC couple，此电容底下切勿走线。

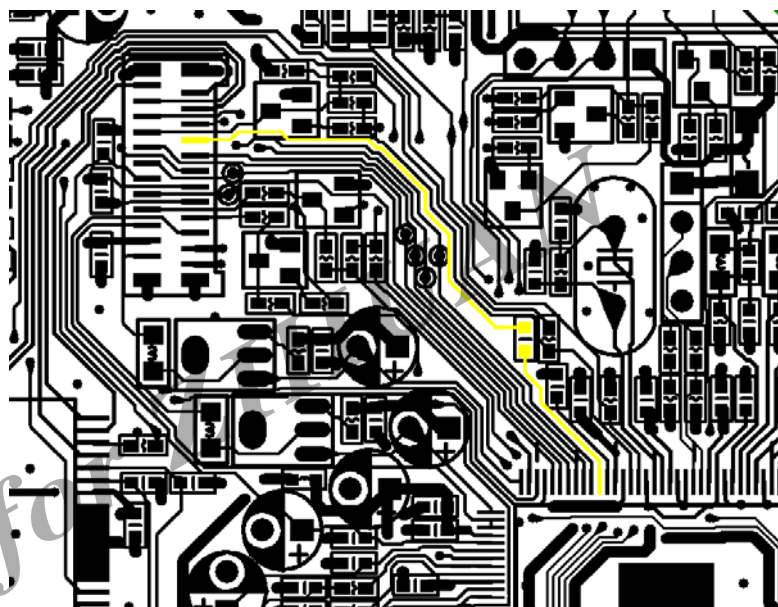


Figure 3-12 PHURF layout

## (5) 高频走线

主要为 SPHE8202R 输出至 LPF 再到 motor driver 的控制讯号，由于 SPHE8202R 输出为较高频的讯号，为免影响其它模拟讯号，必需把 LPF 置于接近 SPHE8202R 处。

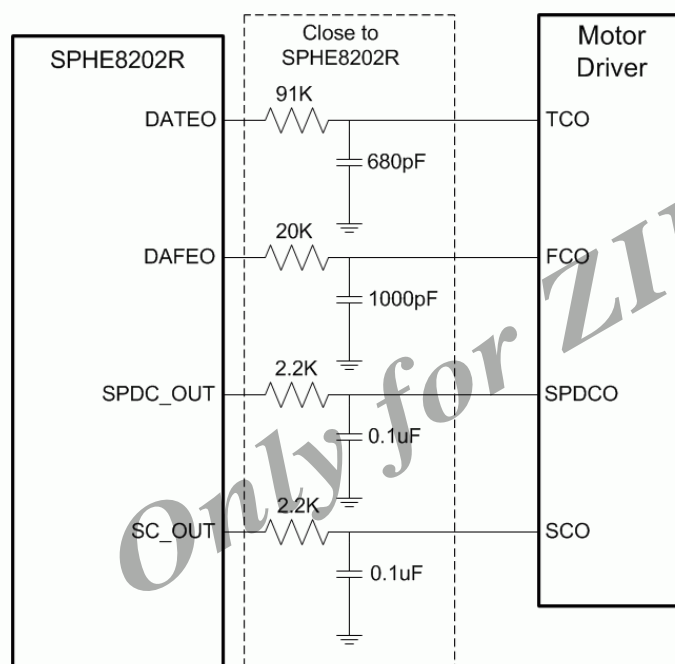


Figure 3-13 高频信号

## (6) 参考讯号走线

计有 Vref1、Vref2、VRT、VRB、VCT 等 5 条参考讯号，需接 bypass 电容以保证讯号稳定性。

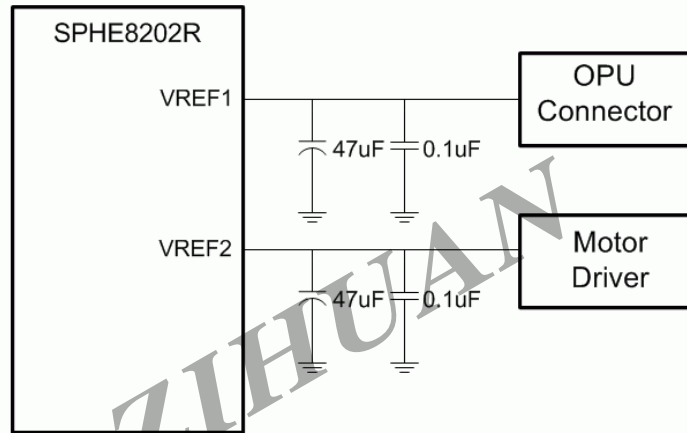


Figure 3-14 参考讯号

## 3.9 Servo DVDVR/CDVR Application

如图 3-15 所示：Servo 的 CDVR/DVDVR 可以直接用 8202R 的 GPIO 口直接来控制(这样可以省去 2 个 mos 管和一个三极管),也可以用 LDSW 的信号通过 2 个 mos 管和一个三极管来控制。

目前公板考虑到 64M 时，为了同时支持 card function 和 game function 时 GPIO 口不够，因此 CDVR/DVDVR 必须用 mos 管来控制。而在 16M 时，8202R SDRAM 的 interface 多出两个 GPIO,16M 同时支持 card function 和 game function 时可以通过 8202R 的 GPIO 口来控制，因此可以将 mos 管 NC.

为了方便功能的扩展，建议将 mos 管双 lay 在 pcb 上，要不然在 64M 时，读卡功能和游戏的功能不能共存。

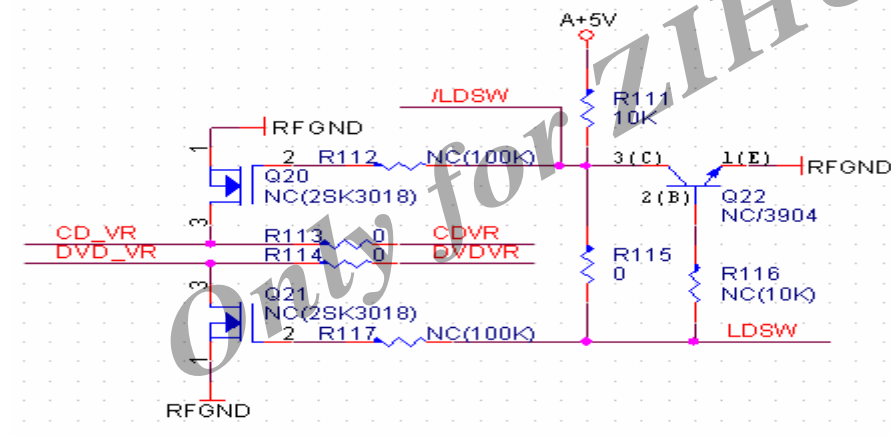


Figure 3-15 DVDVR/CDVR circuit

## 4 EMI Considerations

### 4.1 Crystal

建议在 layout 时，Crystal 旁边留一个 ground pad，并且在贴件时将 Crystal 金属外壳与 ground pad 利用焊锡连接在一起。

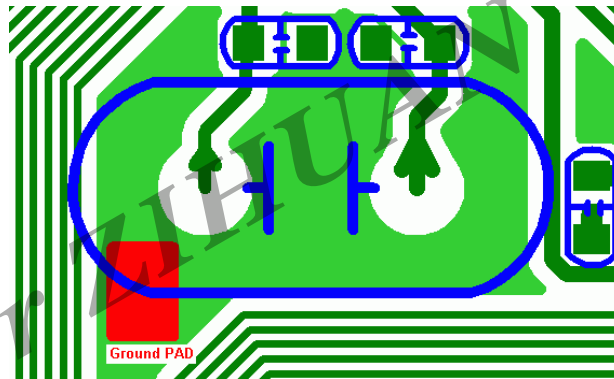


Figure 4-1 Crystal layout

### 4.2 Loader Control Signals

从 SPHE8202R 及 motor driver 接至 loader 的一些讯号线 (SP+, SP-, SL+, SL-, LD+, LD-, IN、OUT、HOME) 建议串 bead，放置位置要尽量靠近 loader connector 端。

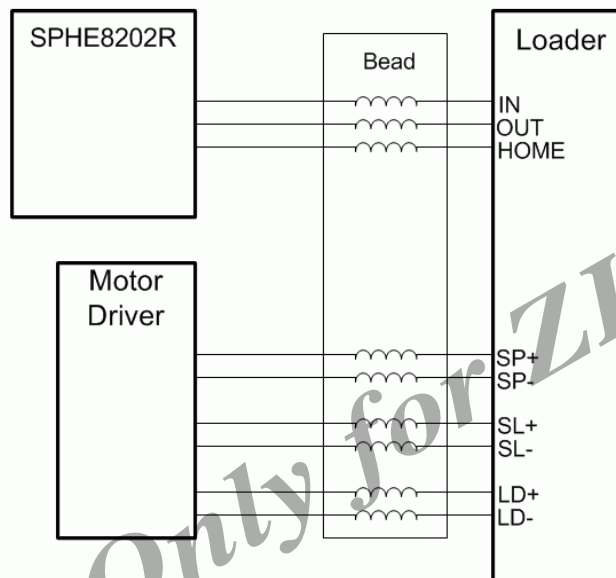


Figure 4-2 Load control signals



### 4.3 PCB Layout

(1) 整片板子的 Power trace 在走线时，要以树状方式走线，尽量避免用环状的方式走线。

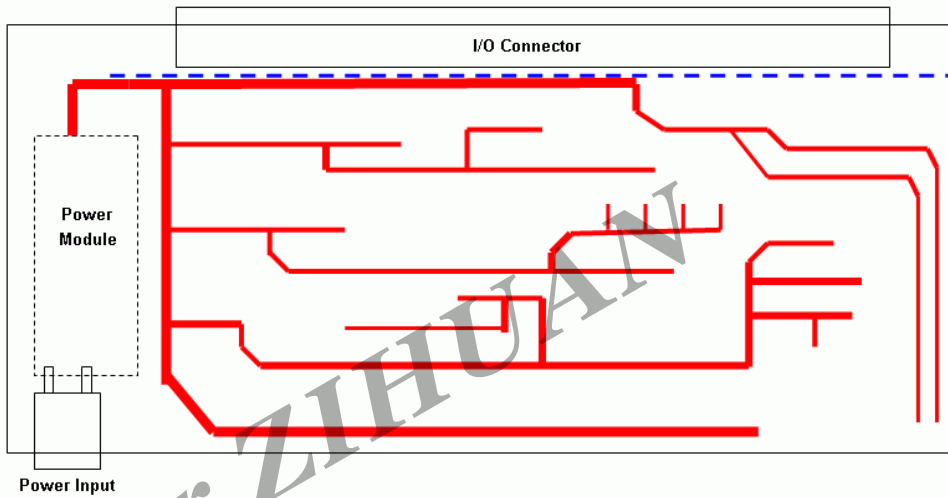


Figure 4-3 Power trace layout

(2) 在 I/O connector 的下方区域，要避免走 power trace，若有 power trace 必须经过 connector 的区域，则必须移开 connector 正下方的区域。

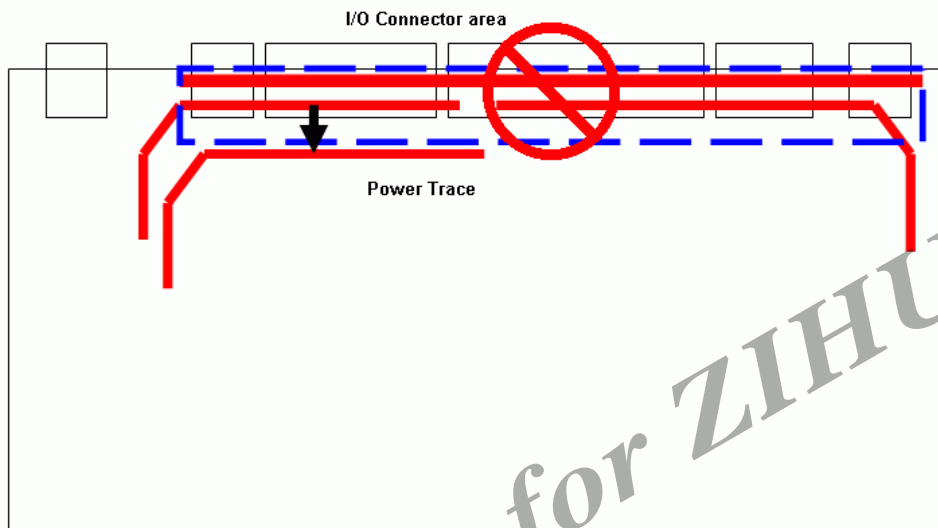


Figure 4-4 Power trace with I/O connector

(3) 要注意所有信号线不可有跨 plane (power and ground plane) 的情形发生。

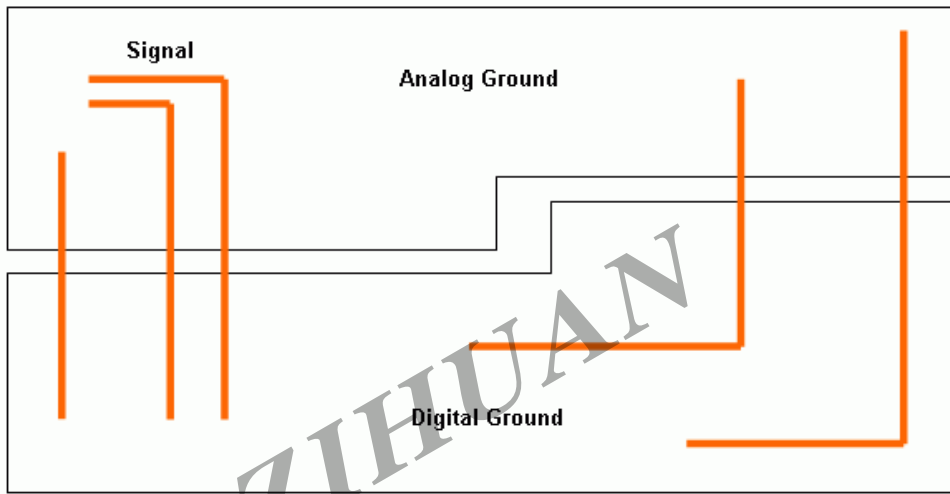


Figure 4-5 信号线跨 ground plane

(4) 若有讯号线必须会经过 2 种以上的 plane，可采取图 4-6 的方式，在两个 plane 间留一个通道，让需要跨 plane 的讯号线走在这上面。

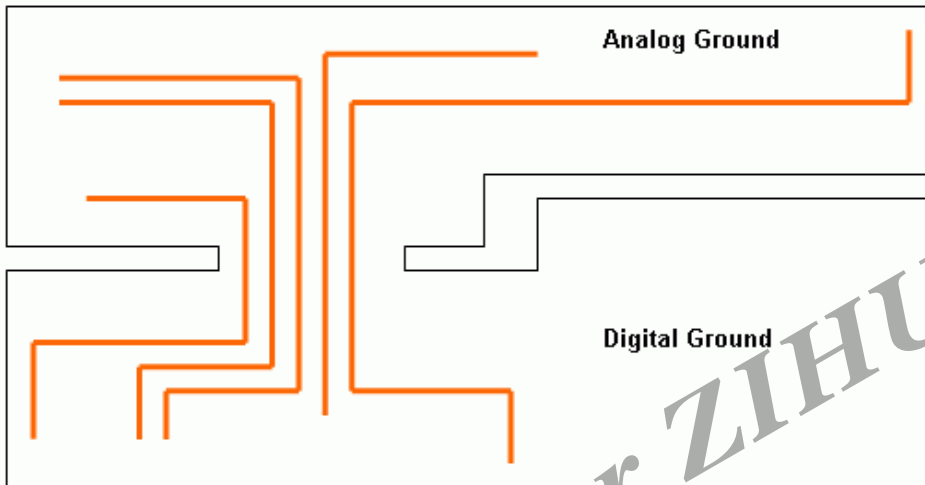


Figure 4-6 跨 ground plane 的处理方式

- (5) IC 正下方最好不要走线，若不能避免则只能允许走低速的讯号线，尤其禁止走 clock、power trace，且要避免走 IC 正下方，布线方式要从 IC 外侧往内侧布线。

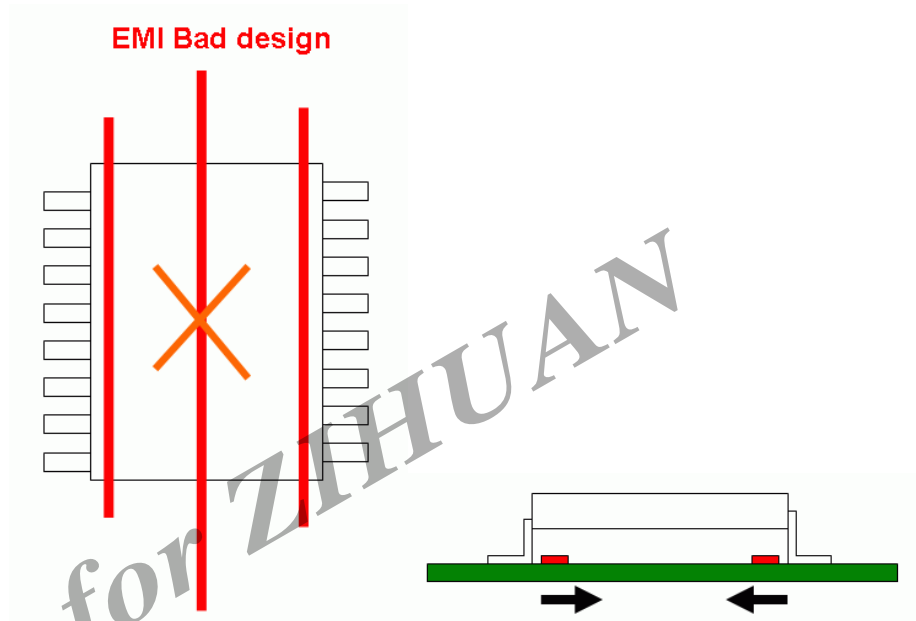


Figure 4-7 IC 正下方走线方式

#### 4.4 如何改善 USB 端口的 EMI 问题

当 USB 接口采用高速差分信号传输方式时，由于接地层与电源层的信号摇摆，放射噪声会有所增加。因此，为避免串扰并保证信号的完整性，消除将要混入高速信号中的共模噪声是电磁兼容设计的必要对策。在图 4-8 所示的电路中，数据电源线和地线上分别串联一个阻抗为 120 欧姆、额定电流为 2A 的磁珠，而差分线对上则串联一个共模阻抗为 90 欧姆的共模扼流器。共模扼流器由两根导线同方向绕在磁芯材料上，当共模电流通过时，共模扼流器会因磁通量叠加而产生高阻抗；当差模电流通过时，共模扼流器因磁通量互相抵消而产生较小阻抗。

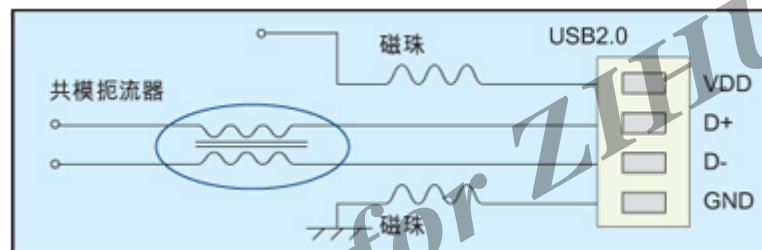


Figure 4-8 USB 噪声抑制电路图。

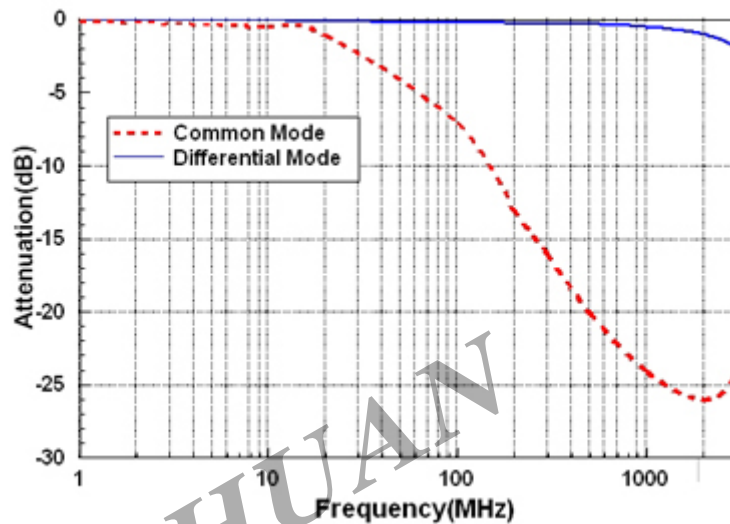


Figure 4-9 SDCW2012-2-900 的衰减频谱。

以深圳顺络电子有限公司生产的共模抗流器 SDCW2012-2-900 为例，该器件在 100MHz 的差模阻抗仅为 4.6 欧姆。从图 4-9 所示的衰减特性也能看出共模扼流器对差分信号不会造成影响，主要是针对共模电流进行选择性的衰减。