DATA SHEET

MOS INTEGRATED CIRCUIT

MC-4516CD642XS

16M-WORD BY 64-BIT
SYNCHRONOUS DYNAMIC RAM MODULE (SO DIMM)

ELPIDA

Description

The MC-4516CD642XS is 16,777,216 words by 64 bits synchronous dynamic RAM module (Small Outline DIMM) on which 8 pieces of 128M SDRAM: μPD45128163 are assembled.

This module provide high density and large quantities of memory in a small space without utilizing the surface-mounting technology on the printed circuit board.

Decoupling capacitors are mounted on power supply line for noise reduction.

Features

- 16,777,216 words by 64 bits organization
- Clock frequency and access time from CLK

Part number	/CAS latency	Clock frequency (MAX.)	Access time from CLK (MAX.)
MC-4516CD642XS-A75	CL = 3	133 MHz	5.4 ns
	CL = 2	100 MHz	6 ns
MC-4516CD642XS-A75L	CL = 3	133 MHz	5.4 ns
	CL = 2	100 MHz	6 ns

- Fully Synchronous Dynamic RAM, with all signals referenced to a positive clock edge
- Pulsed interface
- Possible to assert random column address in every cycle
- Quad internal banks controlled by BA0, BA1 (Bank Select)
- Programmable burst-length: 1, 2, 4, 8 and Full Page
- Programmable wrap sequence (Sequential / Interleave)
- Programmable /CAS latency (2, 3)
- Automatic precharge and controlled precharge
- CBR (Auto) refresh and self refresh
- Single 3.3 V ± 0.3 V power supply
- LVTTL compatible
- 4,096 refresh cycles/64 ms
- Burst termination by Burst Stop command and Precharge command
- 144-pin small outline dual in-line memory module (Pin pitch = 0.8 mm)
- Unbuffered type
- Serial PD

Ordering Information

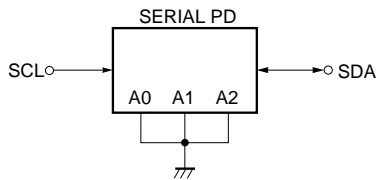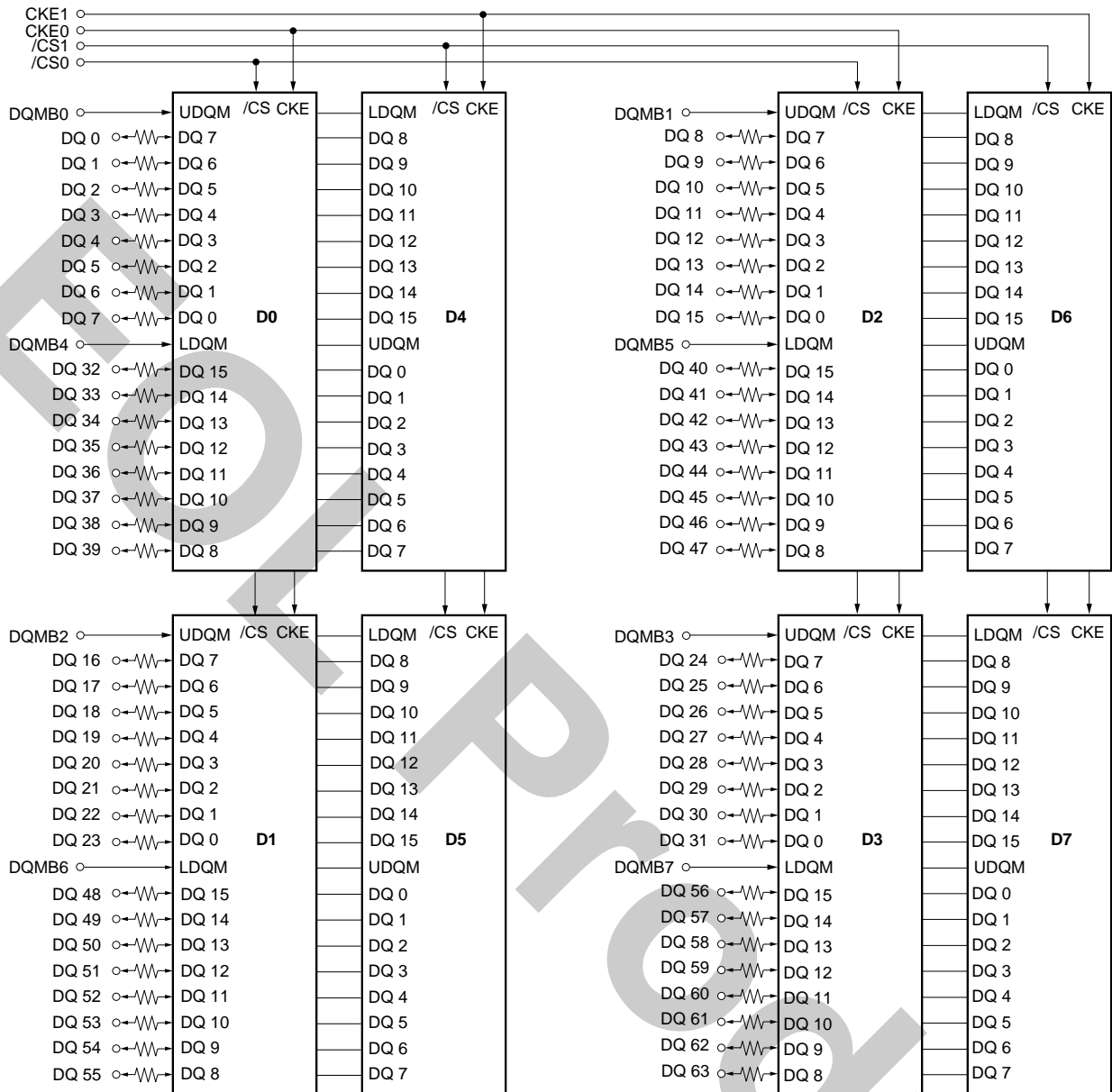| Part number	Clock frequency MHz (MAX.)	Package	Mounted devices
MC-4516CD642XS-A75	133 MHz	144-pin Small Outline DIMM (Socket Type)	8 pieces of μPD45128163G5 (Rev. X) (10.16 mm (400) TSOP (II))
MC-4516CD642XS-A75L	133 MHz	Edge connector: Gold plated 31.75 mm height	

Pin Configuration

144-pin Dual In-line Memory Module Socket Type (Edge connector: Gold plated)
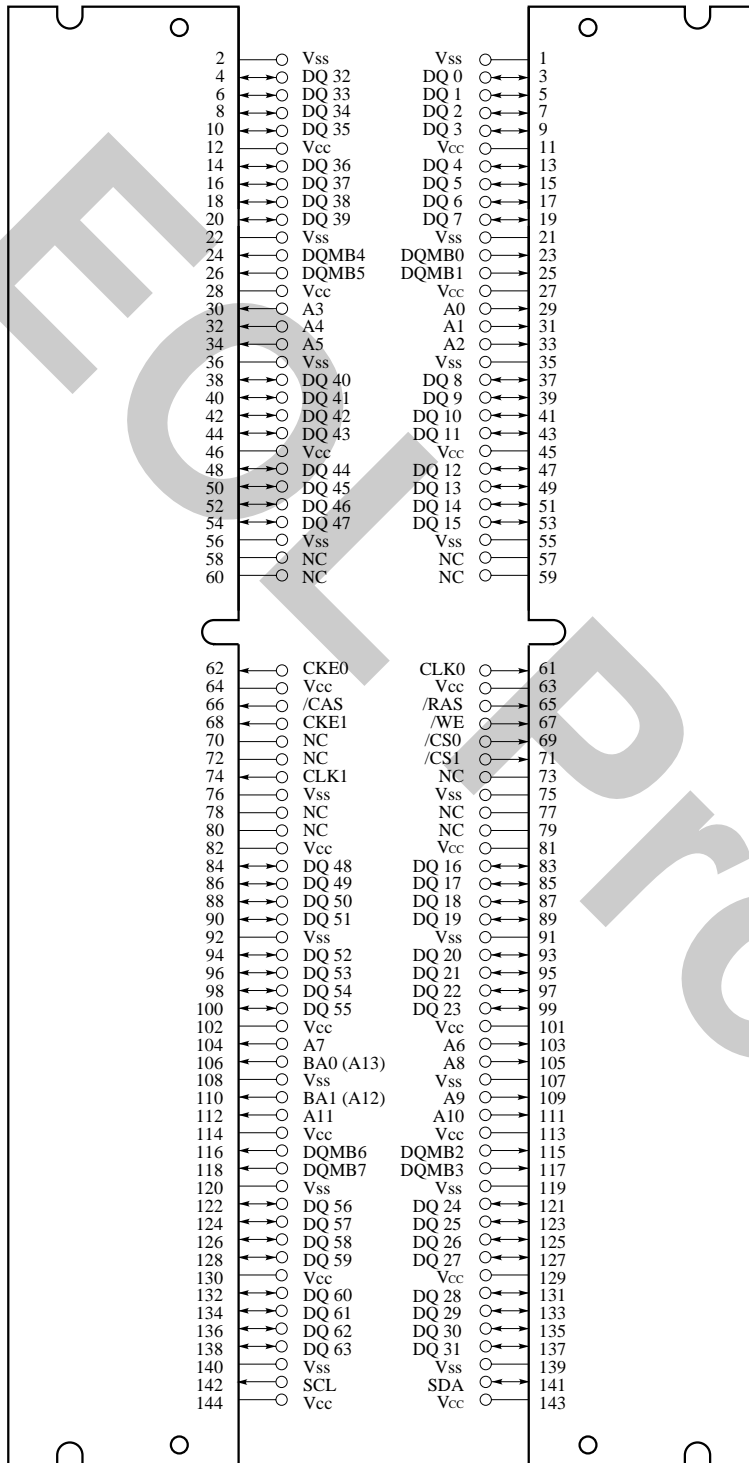
/xxx indicates active low signal.

Pin	Signal	Signal	Pin
2	Vss	Vss	1
4	DQ 32	DQ 0	3
6	DQ 33	DQ 1	5
8	DQ 34	DQ 2	7
10	DQ 35	DQ 3	9
12	Vcc	Vcc	11
14	DQ 36	DQ 4	13
16	DQ 37	DQ 5	15
18	DQ 38	DQ 6	17
20	DQ 39	DQ 7	19
22	Vss	Vss	21
24	DQMB4	DQMB0	23
26	DQMB5	DQMB1	25
28	Vcc	Vcc	27
30	A3	A0	29
32	A4	A1	31
34	A5	A2	33
36	Vss	Vss	35
38	DQ 40	DQ 8	37
40	DQ 41	DQ 9	39
42	DQ 42	DQ 10	41
44	DQ 43	DQ 11	43
46	Vcc	Vcc	45
48	DQ 44	DQ 12	47
50	DQ 45	DQ 13	49
52	DQ 46	DQ 14	51
54	DQ 47	DQ 15	53
56	Vss	Vss	55
58	NC	NC	57
60	NC	NC	59
62	CKE0	CLK0	61
64	Vcc	Vcc	63
66	/CAS	/RAS	65
68	CKE1	/WE	67
70	NC	/CS0	69
72	NC	/CS1	71
74	CLK1	NC	73
76	Vss	Vss	75
78	NC	NC	77
80	NC	NC	79
82	Vcc	Vcc	81
84	DQ 48	DQ 16	83
86	DQ 49	DQ 17	85
88	DQ 50	DQ 18	87
90	DQ 51	DQ 19	89
92	Vss	Vss	91
94	DQ 52	DQ 20	93
96	DQ 53	DQ 21	95
98	DQ 54	DQ 22	97
100	DQ 55	DQ 23	99
102	Vcc	Vcc	101
104	A7	A6	103
106	BA0 (A13)	A8	105
108	Vss	Vss	107
110	BA1 (A12)	A9	109
112	A11	A10	111
114	Vcc	Vcc	113
116	DQMB6	DQMB2	115
118	DQMB7	DQMB3	117
120	Vss	Vss	119
122	DQ 56	DQ 24	121
124	DQ 57	DQ 25	123
126	DQ 58	DQ 26	125
128	DQ 59	DQ 27	127
130	Vcc	Vcc	129
132	DQ 60	DQ 28	131
134	DQ 61	DQ 29	133
136	DQ 62	DQ 30	135
138	DQ 63	DQ 31	137
140	Vss	Vss	139
142	SCL	SDA	141
144	Vcc	Vcc	143

A0 - A11 : Address Inputs

[Row: A0 - A11, Column: A0 - A8]

BA0 (A13), BA1 (A12) : SDRAM Bank Select

DQ0 - DQ63 : Data Inputs/Outputs

CLK0, CLK1 : Clock Input

CKE0, CKE1 : Clock Enable Input

/CS0, /CS1 : Chip Select Input

/RAS : Row Address Strobe

/CAS : Column Address Strobe

/WE : Write Enable

DQMB0 - DQMB7 : DQ Mask Enable

SDA : Serial Data I/O for PD

SCL : Clock Input for PD

Vcc : Power Supply

Vss : Ground

NC : No Connection

Block Diagram

CKE1
CKE0
/CS1
/CS0

DQMB0 — UDQM /CS CKE
DQ 0 — DQ 7
DQ 1 — DQ 6
DQ 2 — DQ 5
DQ 3 — DQ 4
DQ 4 — DQ 3
DQ 5 — DQ 2
DQ 6 — DQ 1
DQ 7 — DQ 0 **D0**
DQMB4 — LDQM
DQ 32 — DQ 15
DQ 33 — DQ 14
DQ 34 — DQ 13
DQ 35 — DQ 12
DQ 36 — DQ 11
DQ 37 — DQ 10
DQ 38 — DQ 9
DQ 39 — DQ 8

LDQM /CS CKE
DQ 8
DQ 9
DQ 10
DQ 11
DQ 12
DQ 13
DQ 14
DQ 15 **D4**
UDQM
DQ 0
DQ 1
DQ 2
DQ 3
DQ 4
DQ 5
DQ 6
DQ 7

DQMB1 — UDQM /CS CKE
DQ 8 — DQ 7
DQ 9 — DQ 6
DQ 10 — DQ 5
DQ 11 — DQ 4
DQ 12 — DQ 3
DQ 13 — DQ 2
DQ 14 — DQ 1
DQ 15 — DQ 0 **D2**
DQMB5 — LDQM
DQ 40 — DQ 15
DQ 41 — DQ 14
DQ 42 — DQ 13
DQ 43 — DQ 12
DQ 44 — DQ 11
DQ 45 — DQ 10
DQ 46 — DQ 9
DQ 47 — DQ 8

LDQM /CS CKE
DQ 8
DQ 9
DQ 10
DQ 11
DQ 12
DQ 13
DQ 14
DQ 15 **D6**
UDQM
DQ 0
DQ 1
DQ 2
DQ 3
DQ 4
DQ 5
DQ 6
DQ 7

DQMB2 — UDQM /CS CKE
DQ 16 — DQ 7
DQ 17 — DQ 6
DQ 18 — DQ 5
DQ 19 — DQ 4
DQ 20 — DQ 3
DQ 21 — DQ 2
DQ 22 — DQ 1
DQ 23 — DQ 0 **D1**
DQMB6 — LDQM
DQ 48 — DQ 15
DQ 49 — DQ 14
DQ 50 — DQ 13
DQ 51 — DQ 12
DQ 52 — DQ 11
DQ 53 — DQ 10
DQ 54 — DQ 9
DQ 55 — DQ 8

LDQM /CS CKE
DQ 8
DQ 9
DQ 10
DQ 11
DQ 12
DQ 13
DQ 14
DQ 15 **D5**
UDQM
DQ 0
DQ 1
DQ 2
DQ 3
DQ 4
DQ 5
DQ 6
DQ 7

DQMB3 — UDQM /CS CKE
DQ 24 — DQ 7
DQ 25 — DQ 6
DQ 26 — DQ 5
DQ 27 — DQ 4
DQ 28 — DQ 3
DQ 29 — DQ 2
DQ 30 — DQ 1
DQ 31 — DQ 0 **D3**
DQMB7 — LDQM
DQ 56 — DQ 15
DQ 57 — DQ 14
DQ 58 — DQ 13
DQ 59 — DQ 12
DQ 60 — DQ 11
DQ 61 — DQ 10
DQ 62 — DQ 9
DQ 63 — DQ 8

LDQM /CS CKE
DQ 8
DQ 9
DQ 10
DQ 11
DQ 12
DQ 13
DQ 14
DQ 15 **D7**
UDQM
DQ 0
DQ 1
DQ 2
DQ 3
DQ 4
DQ 5
DQ 6
DQ 7

SERIAL PD
SCL —
A0 A1 A2
— SDA

A0 - A11 — A0 - A11 : D0 - D7
BA0 — A13 : D0 - D7
BA1 — A12 : D0 - D7

V_{CC} — D0 - D7
C
V_{SS} — D0 - D7

CLK0 — CLK : D0 - D3
CLK1 — CLK : D4 - D7
/RAS — /RAS : D0 - D7
/CAS — /CAS : D0 - D7
/WE — /WE : D0 - D7

Remarks 1. D0 - D7: μPD45128163 (2M words x 16 bits x 4 banks)

2. The value of all resistors is 10 Ω.

Electrical Specifications

- All voltages are referenced to Vss (GND).

- After power up, wait more than 100 μs and then, execute power on sequence and CBR (Auto) refresh before proper device operation is achieved.

Absolute Maximum Ratings

Parameter	Symbol	Condition	Rating	Unit
Voltage on power supply pin relative to GND	V_{CC}		−0.5 to +4.6	V
Voltage on input pin relative to GND	V_T		−0.5 to +4.6	V
Short circuit output current	I_O		50	mA
Power dissipation	P_D		8	W
Operating ambient temperature	T_A		0 to 70	°C
Storage temperature	T_{stg}		−55 to +125	°C

Caution   **Exposing the device to stress above those listed in Absolute Maximum Ratings could cause permanent damage. The device is not meant to be operated under conditions outside the limits described in the operational section of this specification. Exposure to Absolute Maximum Rating conditions for extended periods may affect device reliability.**

Recommended Operating Conditions

Parameter	Symbol	Condition	MIN.	TYP.	MAX.	Unit
Supply voltage	V_{CC}		3.0	3.3	3.6	V
High level input voltage	V_{IH}		2.0		V_{CC} + 0.3	V
Low level input voltage	V_{IL}		−0.3		+0.8	V
Operating ambient temperature	T_A		0		70	°C

Capacitance (T_A = 25 °C, f = 1 MHz)

Parameter	Symbol	Test condition	MIN.	TYP.	MAX.	Unit
Input capacitance	C_{I1}	A0 - A11, BA0 (A13), BA1 (A12), /RAS, /CAS, /WE	30		60	pF
	C_{I2}	CLK0, CLK1	23		37	
	C_{I3}	CKE0, CKE1	18		30	
	C_{I4}	/CS0, /CS1	18		30	
	C_{I5}	DQMB0 - DQMB7	7		14	
Data input/output capacitance	$C_{I/O}$	DQ0 - DQ63	9		18	pF

DC Characteristics (Recommended Operating Conditions unless otherwise noted)

Parameter	Symbol	Test condition		MIN.	MAX.	Unit	Notes
Operating current	I_{CC1}	Burst length = 1, $t_{RC} \geq t_{RC\,(MIN.)}$	/CAS latency = 2		560	mA	1
			/CAS latency = 3		580		
Precharge standby current in power down mode	$I_{CC2}P$	$CKE \leq V_{IL\,(MAX.)}$, t_{CK} = 15 ns			8	mA	
	$I_{CC2}PS$	$CKE \leq V_{IL\,(MAX.)}$, $t_{CK} = \infty$			8		
Precharge standby current in non power down mode	$I_{CC2}N$	$CKE \geq V_{IH\,(MIN.)}$, t_{CK} = 15 ns, $/CS \geq V_{IH\,(MIN.)}$, Input signals are changed one time during 30 ns.			160	mA	
	$I_{CC2}NS$	$CKE \geq V_{IH\,(MIN.)}$, $t_{CK} = \infty$, Input signals are stable.			64		
Active standby current in power down mode	$I_{CC3}P$	$CKE \leq V_{IL\,(MAX.)}$, t_{CK} = 15 ns			40	mA	
	$I_{CC3}PS$	$CKE \leq V_{IL\,(MAX.)}$, $t_{CK} = \infty$			32		
Active standby current in non power down mode	$I_{CC3}N$	$CKE \geq V_{IH\,(MIN.)}$, t_{CK} = 15 ns, $/CS \geq V_{IH\,(MIN.)}$, Input signals are changed one time during 30 ns.			240	mA	
	$I_{CC3}NS$	$CKE \geq V_{IH\,(MIN.)}$, $t_{CK} = \infty$, Input signals are stable.			160		
Operating current (Burst mode)	I_{CC4}	$t_{CK} \geq t_{CK\,(MIN.)}$, I_O = 0 mA	/CAS latency = 2		700	mA	2
			/CAS latency = 3		860		
CBR (Auto) refresh current	I_{CC5}	$t_{RC} \geq t_{RC\,(MIN.)}$	/CAS latency = 2		1,040	mA	3
			/CAS latency = 3		1,080		
Self refresh current	I_{CC6}	$CKE \leq 0.2$ V	-**		16	mA	
			-**L		6.4	mA	
Input leakage current	$I_{I(L)}$	V_I = 0 to 3.6 V, All other pins not under test = 0 V		− 8	+8	μA	
Output leakage current	$I_{O(L)}$	D_{OUT} is disabled, V_O = 0 to 3.6 V		−3	+3	μA	
High level output voltage	V_{OH}	$I_O = -4.0$ mA		2.4		V	
Low level output voltage	V_{OL}	$I_O = +4.0$ mA			0.4	V	

Notes 1. I_{CC1} depends on output loading and cycle rates. Specified values are obtained with the output open. In addition to this, I_{CC1} is measured on condition that addresses are changed only one time during $t_{CK\,(MIN.)}$.

     2. I_{CC4} depends on output loading and cycle rates. Specified values are obtained with the output open. In addition to this, I_{CC4} is measured on condition that addresses are changed only one time during $t_{CK\,(MIN.)}$.

     3. I_{CC5} is measured on condition that addresses are changed only one time during $t_{CK\,(MIN.)}$.

Synchronous Characteristics

Parameter		Symbol	-A75		Unit	Note
			MIN.	MAX.		
Clock cycle time	/CAS latency = 3	t_{CK3}	7.5	(133 MHz)	ns	
	/CAS latency = 2	t_{CK2}	10	(100 MHz)	ns	
Access time from CLK	/CAS latency = 3	t_{AC3}		5.4	ns	1
	/CAS latency = 2	t_{AC2}		6	ns	1
CLK high level width		t_{CH}	2.5		ns	
CLK low level width		t_{CL}	2.5		ns	
Data-out hold time	/CAS latency = 3	t_{OH3}	3		ns	1
	/CAS latency = 2	t_{OH2}	3		ns	1
Data-out low-impedance time		t_{LZ}	0		ns	
Data-out high-impedance time	/CAS latency = 3	t_{HZ3}	3	5.4	ns	
	/CAS latency = 2	t_{HZ2}	3	6	ns	
Data-in setup time		t_{DS}	1.5		ns	
Data-in hold time		t_{DH}	0.8		ns	
Address setup time		t_{AS}	1.5		ns	
Address hold time		t_{AH}	0.8		ns	
CKE setup time		t_{CKS}	1.5		ns	
CKE hold time		t_{CKH}	0.8		ns	
CKE setup time (Power down exit)		t_{CKSP}	1.5		ns	
Command (/CS0, /CS1, /RAS, /CAS, /WE, DQMB0 - DQMB7) setup time		t_{CMS}	1.5		ns	
Command (/CS0, /CS1, /RAS, /CAS, /WE, DQMB0 - DQMB7) hold time		t_{CMH}	0.8		ns	

Note 1. Output load
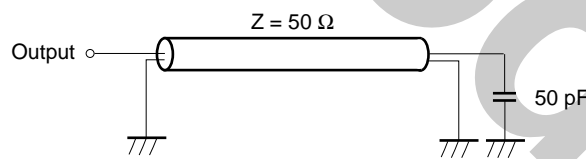
Remark These specifications are applied to the monolithic device.

Asynchronous Characteristics

Parameter		Symbol	-A75		Unit	Note
			MIN.	MAX.		
ACT to REF/ACT command period (Operation)		t_{RC}	67.5		ns	
REF to REF/ACT command period (Refresh)		t_{RC1}	67.5		ns	
ACT to PRE command period		t_{RAS}	45	120,000	ns	
PRE to ACT command period		t_{RP}	20		ns	
Delay time ACT to READ/WRITE command		t_{RCD}	20		ns	
ACT (one) to ACT (another) command period		t_{RRD}	15		ns	
Data-in to PRE command period	/CAS latency = 3	t_{DPL3}	8		ns	
	/CAS latency = 2	t_{DPL2}	8		ns	
Data-in to ACT (REF) command period (Auto precharge)	/CAS latency = 3	t_{DAL3}	1CLK+22.5		ns	1
	/CAS latency = 2	t_{DAL2}	1CLK+20		ns	
Mode register set cycle time		t_{RSC}	2		CLK	
Transition time		t_T	0.5	30	ns	
Refresh time (4,096 refresh cycles)		t_{REF}		64	ms	

Note 1. This device can satisfy the t_{DAL3} spec of 1CLK+20 ns for up to and including 125 MHz operation.

Serial PD **(1/2)**

Byte No.	Function Described		Hex	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Notes
0	Defines the number of bytes written into serial PD memory		80H	1	0	0	0	0	0	0	0	128 bytes
1	Total number of bytes of serial PD memory		08H	0	0	0	0	1	0	0	0	256 bytes
2	Fundamental memory type		04H	0	0	0	0	0	1	0	0	SDRAM
3	Number of rows		0CH	0	0	0	0	1	1	0	0	12 rows
4	Number of columns		09H	0	0	0	0	1	0	0	1	9 columns
5	Number of banks		02H	0	0	0	0	0	0	1	0	2 bank
6	Data width		40H	0	1	0	0	0	0	0	0	64 bits
7	Data width (continued)		00H	0	0	0	0	0	0	0	0	0
8	Voltage interface		01H	0	0	0	0	0	0	0	1	LVTTL
9	CL = 3 Cycle time	-A75	75H	0	1	1	1	0	1	0	1	7.5 ns
10	CL = 3 Access time	-A75	54H	0	1	0	1	0	1	0	0	5.4 ns
11	DIMM configuration type		00H	0	0	0	0	0	0	0	0	None
12	Refresh rate/type		80H	1	0	0	0	0	0	0	0	Normal
13	SDRAM width		10H	0	0	0	1	0	0	0	0	×16
14	Error checking SDRAM width		00H	0	0	0	0	0	0	0	0	None
15	Minimum clock delay		01H	0	0	0	0	0	0	0	1	1 clock
16	Burst length supported		8FH	1	0	0	0	1	1	1	1	1, 2, 4, 8, F
17	Number of banks on each SDRAM		04H	0	0	0	0	0	1	0	0	4 banks
18	/CAS latency supported		06H	0	0	0	0	0	1	1	0	2, 3
19	/CS latency supported		01H	0	0	0	0	0	0	0	1	0
20	/WE latency supported		01H	0	0	0	0	0	0	0	1	0
21	SDRAM module attributes		00H	0	0	0	0	0	0	0	0	
22	SDRAM device attributes: General		0EH	0	0	0	0	1	1	1	0	
23	CL = 2 Cycle time	-A75	A0H	1	0	1	0	0	0	0	0	10 ns
24	CL = 2 Access time	-A75	60H	0	1	1	0	0	0	0	0	6 ns
25-26			00H	0	0	0	0	0	0	0	0	
27	$t_{RP (MIN.)}$	-A75	14H	0	0	0	1	0	1	0	0	20 ns
28	$t_{RRD (MIN.)}$	-A75	0FH	0	0	0	0	1	1	1	1	15 ns
29	$t_{RCD (MIN.)}$	-A75	14H	0	0	0	1	0	1	0	0	20 ns
30	$t_{RAS (MIN.)}$	-A75	2DH	0	0	1	0	1	1	0	0	45 ns
31	Module bank density		10H	0	0	0	1	0	0	0	0	64M bytes

Byte No.	Function Described		Hex	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Notes
32	Command and address signal setup time	-A75	15H	0	0	0	1	0	1	0	1	1.5 ns
33	Command and address signal hold time	-A75	08H	0	0	0	0	1	0	0	0	0.8 ns
34	Data signal input setup time	-A75	15H	0	0	0	1	0	1	0	1	1.5 ns
35	Data signal input hold time	-A75	08H	0	0	0	0	1	0	0	0	0.8 ns
36-61			00H	0	0	0	0	0	0	0	0	
62	SPD revision	-A75	12H	0	0	0	1	0	0	1	0	1.2 A
63	Checksum for bytes 0 - 62	-A75	A7H	1	0	1	0	0	1	1	1	
64-71	Manufacture's JEDEC ID code											
72	Manufacturing location											
73-90	Manufacture's P/N											
91-92	Revision code											
93-94	Manufacturing date											
95-98	Assembly serial number											
99-125	Mfg specific											
126	Intel specification frequency	-A75	64H	0	1	1	0	0	1	0	0	
127	Intel specification /CAS latency support	-A75	C7H	1	1	0	0	0	1	1	1	

Timing Chart

Refer to the **μPD45128441, 45128841, 45128163 Data sheet** (E0031N).

Package Drawing

144-PIN DUAL IN-LINE MODULE (SOCKET TYPE)

detail of (A) part

ITEM	MILLIMETERS
A	67.6
A1	67.6±0.15
B	23.2
C	29.0
D	4.6
D1	1.5±0.10
D2	4.0
E	32.8
F	3.7
H	0.8 (T.P.)
I	3.3
L	20.0
M	31.75±0.15
M1	9.75
M2	22.0
N	3.8 MAX.
Q	R2.0
R	4.00±0.10
S	ϕ1.8
T	1.0±0.1
U1	3.2 MIN.
U2	4.0 MIN.
V	0.25 MAX.
W	0.6±0.05
X	2.55 MIN.
Y	2.0 MIN.
Z	2.0 MIN.
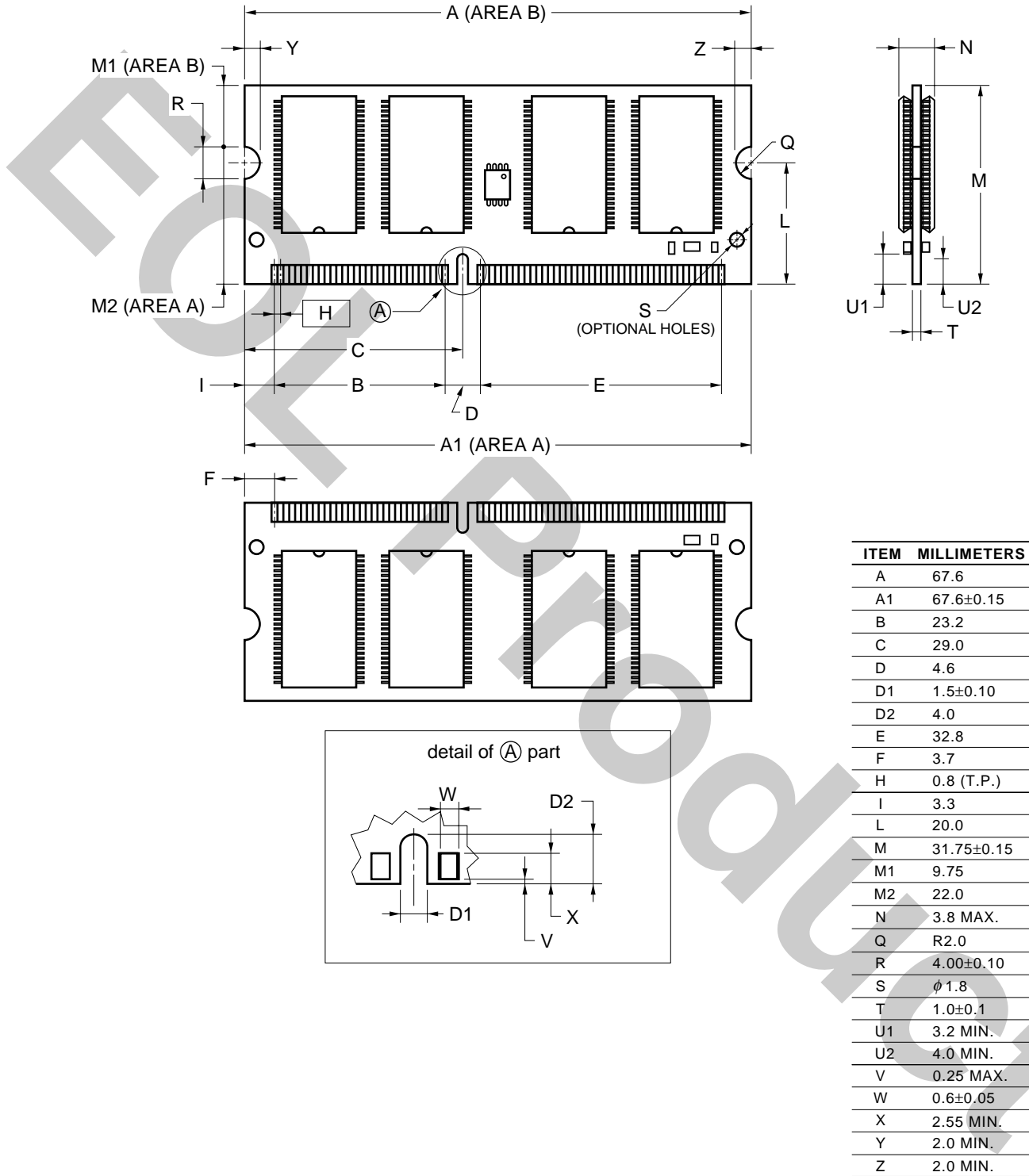
CAUTION FOR HANDLING MEMORY MODULES

When handling or inserting memory modules, be sure not to touch any components on the modules, such as the memory IC, chip capacitors and chip resistors. It is necessary to avoid undue mechanical stress on these components to prevent damaging them.

When re-packing memory modules, be sure the modules are NOT touching each other. Modules in contact with other modules may cause excessive mechanical stress, which may damage the modules.

MDE0107

NOTES FOR CMOS DEVICES

① PRECAUTION AGAINST ESD FOR MOS DEVICES

Exposing the MOS devices to a strong electric field can cause destruction of the gate oxide and ultimately degrade the MOS devices operation. Steps must be taken to stop generation of static electricity as much as possible, and quickly dissipate it, when once it has occurred. Environmental control must be adequate. When it is dry, humidifier should be used. It is recommended to avoid using insulators that easily build static electricity. MOS devices must be stored and transported in an anti-static container, static shielding bag or conductive material. All test and measurement tools including work bench and floor should be grounded. The operator should be grounded using wrist strap. MOS devices must not be touched with bare hands. Similar precautions need to be taken for PW boards with semiconductor MOS devices on it.

② HANDLING OF UNUSED INPUT PINS FOR CMOS DEVICES

No connection for CMOS devices input pins can be a cause of malfunction. If no connection is provided to the input pins, it is possible that an internal input level may be generated due to noise, etc., hence causing malfunction. CMOS devices behave differently than Bipolar or NMOS devices. Input levels of CMOS devices must be fixed high or low by using a pull-up or pull-down circuitry. Each unused pin should be connected to V_{DD} or GND with a resistor, if it is considered to have a possibility of being an output pin. The unused pins must be handled in accordance with the related specifications.

③ STATUS BEFORE INITIALIZATION OF MOS DEVICES

Power-on does not necessarily define initial status of MOS devices. Production process of MOS does not define the initial operation status of the device. Immediately after the power source is turned ON, the MOS devices with reset function have not yet been initialized. Hence, power-on does not guarantee output pin levels, I/O settings or contents of registers. MOS devices are not initialized until the reset signal is received. Reset operation must be executed immediately after power-on for MOS devices having reset function.

CME0107